

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284126

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H01L 25/16

(21)Application number : 10-087457

(71)Applicant : OTSUKA KANJI
 FUJITSU LTD
 OKI ELECTRIC IND CO LTD
 SANYO ELECTRIC CO LTD
 SHARP CORP
 SONY CORP
 TOSHIBA CORP
 NEC CORP
 HITACHI LTD
 MATSUSHITA ELECTRON CORP
 MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.03.1998

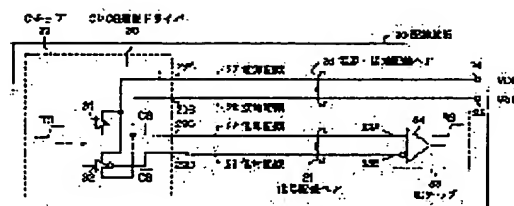
(72)Inventor : OTSUKA KANJI

(54) ELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To supply to a differential driver at a high speed without damping complementary signal energy and contrive to increase a speed in transmission of a complementary transmission digital signal to be output by a method wherein first and second power supply wirings for supplying first and second power supply voltages to the differential driver are set as an iso-length parallel wiring.

SOLUTION: A signal wiring pair 21 comprising an iso-length parallel power supply wiring 27 having a large coupling coefficient, a power supply and ground wiring pair 26 comprising a ground wiring 28, and iso-length parallel signal wirings 22, 23 having a large coupling coefficient is provided on a wiring substrate 20. Here, characteristic impedances of the power supply and ground wiring pair 26 and the signal wiring pair are equalized. And, on-resistance of a CMOS differential driver 30 is matched to the characteristic impedance of the signal wiring pair 21 to absorb a reflection complementary transmission digital signal CS,/CS reversely transmitted in the signal wiring pair 21. Thus, a waveforms deformation is eliminated, and the complementary transmission digital signal CS,/CS can be transmitted at a speed near to a speed of lights.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 8 4 1 2 6

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 0 月 1 5 日

(51) Int. Cl.
H01L 25/16

識別記号

庁内整理番号

F I

H01L 25/16

2

技術表示箇所

審査請求 未請求 請求項の数 2 4 O L (全 4 4 頁)

(21) 出願番号 特願平 1 0 - 8 7 4 5 7

(22) 出願日 平成 1 0 年 (1 9 9 8) 3 月 3 1 日

(71) 出願人 5 9 8 0 4 2 6 3 3

大塚 寛治

東京都東大和市湖畔 2 - 1 0 7 4 - 3 8

(71) 出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(71) 出願人 0 0 0 0 0 0 2 9 5

沖電気工業株式会社

東京都港区虎ノ門 1 丁目 7 番 1 2 号

(72) 発明者 大塚 寛治

東京都東大和市湖畔 2 - 1 0 7 4 - 3 8

(74) 代理人 弁理士 平戸 哲夫

最終頁に続く

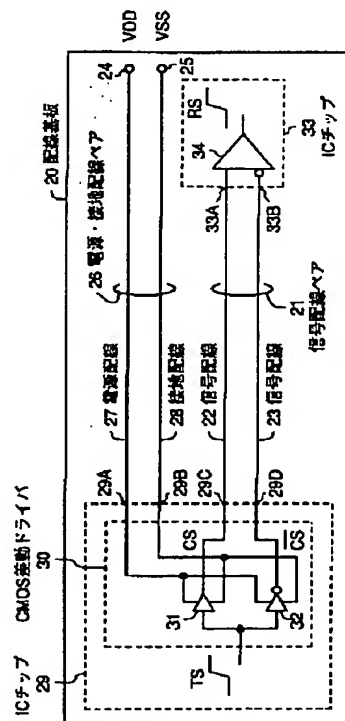
(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】 ドライバから出力される送信デジタル信号を信号配線を介してレシーバに伝送する伝送回路を有する電子装置に関し、信号伝送の高速化を図る。

【解決手段】 配線基板 2 0 に形成する電源配線 2 7 及び接地配線 2 8 をカップリング係数を大とする等長平行配線からなるペア配線構造とし、CMOS 差動ドライバ 3 0 に供給すべき相補信号エネルギーに対して電源・接地配線ペア 2 6 を電磁界がほぼ閉じた伝送線路として機能させる。

本発明の第 1 実施形態の構成図



【特許請求の範囲】

【請求項 1】等長平行配線とされた第 1、第 2 の信号配線からなる 1 対以上の信号配線ペアを有する配線基板に、前記 1 対以上の信号配線ペアの第 1、第 2 の信号配線に送信デジタル信号を相補信号化してなる相補送信デジタル信号を出力する 1 個以上の差動ドライバを有する集積回路チップを搭載してなる電子装置において、前記配線基板は、前記 1 個以上の差動ドライバに第 1、第 2 の電源電圧を供給する等長平行配線とされた第 1、第 2 の電源配線からなる電源配線ペアを有していることを特徴とする電子装置。

【請求項 2】前記信号配線ペアの特性インピーダンスを Z_0 、前記信号配線ペアの数を n 、前記電源配線ペアの特性インピーダンスを Z_1 とすると、 Z_1 は、 Z_0/n 又は Z_0/n に可能な限り近い値とされていることを特徴とする請求項 1 記載の電子装置。

【請求項 3】前記電源配線ペア及び前記 1 対以上の信号配線ペア、又は、2 対以上の信号配線ペアが前記配線基板の同一面に平行に形成されている場合において、各配線ペアを構成する第 1、第 2 の配線との幅方向の中心間距離を a 、隣接する配線ペアとの間隔を b とすると、 $b > 2a$ とされていることを特徴とする請求項 1 又は 2 記載の電子装置。

【請求項 4】前記電源配線ペア及び前記 1 対以上の信号配線ペア、又は、2 対以上の信号配線ペアを構成する第 1、第 2 の配線が前記配線基板を挟んで形成されている場合において、前記配線基板の厚みを t 、前記第 1、第 2 の配線の幅を c 、隣接する配線ペアとの間隔を s とすると、 $s/(t+c) > 2$ とされていることを特徴とする請求項 1 又は 2 記載の電子装置。

【請求項 5】前記差動ドライバは、オン抵抗を前記信号配線ペアの特性インピーダンスと同一とされていることを特徴とする請求項 1、2、3 又は 4 記載の電子装置。

【請求項 6】前記信号配線ペアを構成する第 1、第 2 の信号配線の終端間に終端抵抗が接続されていることを特徴とする請求項 1、2、3、4 又は 5 記載の電子装置。

【請求項 7】前記差動ドライバはスリーステート差動ドライバであり、前記集積回路チップは、第 1、第 2 の信号入力端子を前記信号配線ペアを構成する第 1、第 2 の信号配線に接続された高入力インピーダンスの差動レシーバを有していることを特徴とする請求項 6 記載の電子装置。

【請求項 8】前記集積回路チップは、前記 1 個以上の差動ドライバに前記第 1、第 2 の電源電圧を供給するチップ内の第 1、第 2 の電源配線間に第 1 のコンデンサを接続していることを特徴とする請求項 1、2、3、4、5、6 又は 7 記載の電子装置。

【請求項 9】前記第 1 のコンデンサは、電源用パッドの下層に形成されていることを特徴とする請求項 8 記載の電子装置。

【請求項 10】前記集積回路チップの近傍の前記電源配線ペアを構成する第 1、第 2 の電源配線間に第 2 のコンデンサを接続していることを特徴とする請求項 8 又は 9 記載の電子装置。

【請求項 11】前記第 2 のコンデンサは、前記第 1 のコンデンサから前記信号配線ペアの長さの 10 分の 1 以下の距離にある前記第 1、第 2 の電源配線間に接続され、容量を前記第 1 のコンデンサの 5 倍以上とされていることを特徴とする請求項 10 記載の電子装置。

【請求項 12】前記集積回路チップは、前記 1 個以上の差動ドライバに前記第 1、第 2 の電源電圧を供給するチップ内の第 1、第 2 の電源配線を等長平行配線とされていることを特徴とする請求項 1、2、3、4、5、6、7、8、9、10 又は 11 記載の電子装置。

【請求項 13】1 本以上の信号配線を有する配線基板に、前記 1 本以上の信号配線に非差動送信デジタル信号を出力する 1 個以上のドライバを有する集積回路チップを搭載してなる電子装置において、前記集積回路チップは、前記 1 個以上のドライバに第 1、第 2 の電源電圧を供給するチップ内の第 1、第 2 の電源配線間に第 1 のコンデンサを接続していることを特徴とする電子装置。

【請求項 14】前記第 1 のコンデンサは、電源用パッドの下層に形成されていることを特徴とする請求項 13 記載の電子装置。

【請求項 15】前記集積回路チップの近傍の前記第 1、第 2 の電源配線間に第 2 のコンデンサを接続していることを特徴とする請求項 13 又は 14 記載の電子装置。

【請求項 16】前記第 2 のコンデンサは、前記第 1 のコンデンサから前記信号配線の長さの 10 分の 1 以下の距離にある第 1、第 2 の電源配線間に接続され、容量を前記第 1 のコンデンサの 5 倍以上とされていることを特徴とする請求項 15 記載の電子装置。

【請求項 17】前記差動ドライバ又はドライバの出力側に送信デジタル信号の第 3 高調波以上をカットするローパスフィルタが挿入されていることを特徴とする請求項 1、2、3、4、5、6、7、8、9、10、11、12、13、14、15 又は 16 記載の電子装置。

【請求項 18】電源配線に前記ローパスフィルタの特性と同一特性のローパスフィルタを挿入させていることを特徴とする請求項 17 記載の電子装置。

【請求項 19】前記信号配線に平行して結合器からなる受信部を備えていることを特徴とする請求項 1、2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17 又は 18 記載の電子装置。

【請求項 20】第 1 面の中央部に設定された CPU 搭載領域の各辺から四方に延び、所定部分で前記第 1 面と対向する第 2 面に折り返して前記第 2 面を中央部に向けて延びる等長平行配線とされた同数の信号配線からなる第 1、第 2、第 3 及び第 4 の信号配線群を有する配線基板

に、CPUがその信号端子を前記第1、第2、第3及び第4の信号配線群の信号配線に接続して前記CPU搭載領域に搭載されていると共に、前記第1、第2、第3及び第4の信号配線群の前記CPUの信号端子接続箇所から同一距離部分に同一品種のメモリがそれぞれその信号端子を第1、第2、第3又は第4の信号配線群の信号配線に接続して搭載されていることを特徴とする電子装置。

【請求項21】対向する第1、第2の配線基板を有し、前記第1の配線基板の前記第2の配線基板との対向面の中央部に設定されたCPU搭載領域の各辺から四方に延び、所定の部分で前記第2の配線基板の前記第1の配線基板との対向面に折り返して前記第2の配線基板の前記第1の配線基板との対向面を中央部に向けて延びる等長平行配線とされた同数の信号配線からなる第1、第2、第3及び第4の信号配線群からなる1対の配線基板を有し、

CPUがその信号端子を前記第1、第2、第3及び第4の信号配線群の信号端子に接続して前記CPU搭載領域に搭載されていると共に、前記第1、第2、第3及び第4の信号配線群の前記CPUの信号端子接続箇所から同一距離部分に同一品種のメモリがそれぞれその信号端子を第1、第2、第3又は第4の信号配線群の信号配線に接続して搭載されていることを特徴とする電子装置。

【請求項22】対向する第1、第2の半導体基板を有し、前記第1の半導体基板の前記第2の半導体基板との対向面の中央部に設定されたCPU搭載領域の各辺から四方に延び、所定の部分で前記第2の半導体基板の前記第1の半導体基板との対向面に折り返して前記第2の半導体基板の前記第1の半導体基板との対向面を中央部に向けて延びる等長平行配線とされた同数の信号配線からなる第1、第2、第3及び第4の信号配線群を有する1対の半導体基板を有し、

CPUがその信号端子を前記第1、第2、第3及び第4の信号配線群の信号端子に接続させて前記CPU形成領域に形成されると共に、前記第1、第2、第3及び第4の信号配線群の前記CPUの信号端子接続箇所から同一距離部分に同一品種のメモリがそれぞれその信号端子を第1、第2、第3又は第4の信号配線群の信号配線に接続させて形成されていることを特徴とする電子装置。

【請求項23】前記第1、第2、第3及び第4の信号配線群の信号配線は、相補送信デジタル信号を伝送する信号配線ペアを構成していることを特徴とする請求項20、21又は22記載の電子装置。

【請求項24】前記CPU及び前記メモリに第1、第2の電源電圧を供給する等長平行配線とされた第1、第2の電源配線からなる電源配線ペアを有していることを特徴とする請求項23記載の電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ドライバから出力される送信デジタル信号を信号配線を介してレシーバに伝送する伝送回路を有する電子装置に関する。

【0002】

【従来の技術】図48は従来の電子装置の一例を示す回路図である。図48中、1、2は信号配線、3は送信デジタル信号TSを相補送信デジタル信号CS、/CSに相補信号化し、これら相補送信デジタル信号CS、/CSを信号配線1、2に出力するCMOS差動ドライバである。

【0003】また、4は信号配線1、2を伝送されてくる相補送信デジタル信号CS、/CSを受信して送信デジタル信号TSに対応した受信デジタル信号RSを出力するCMOS差動レシーバである。

【0004】また、CMOS差動ドライバ3において、5は送信デジタル信号TSと同相の正相送信デジタル信号CSを出力するCMOSドライバであり、6はブルアップ素子をなすnMOSトランジスタ、7はブルダウン素子をなすpMOSトランジスタである。

【0005】また、8は送信デジタル信号TSと逆相化してなる逆相送信デジタル信号/CSを出力するCMOSインバータであり、9はブルアップ素子をなすpMOSトランジスタ、10はブルダウン素子をなすnMOSトランジスタである。

【0006】また、CMOS差動レシーバ4において、11は信号配線1を伝送されてくる正相送信デジタル信号CSを受信するCMOSドライバであり、12はブルアップ素子をなすnMOSトランジスタ、13はブルダウン素子をなすpMOSトランジスタである。

【0007】また、14は信号配線2を伝送されてくる逆相送信デジタル信号/CSを受信するCMOSインバータであり、15はブルアップ素子をなすpMOSトランジスタ、16はブルダウン素子をなすnMOSトランジスタである。

【0008】このように構成された電子装置においては、送信デジタル信号TSがLレベルからHレベルに遷移すると、CMOSドライバ5においては、nMOSトランジスタ6がOFFからON、pMOSトランジスタ7がONからOFFとなり、CMOSインバータ8においては、pMOSトランジスタ9がONからOFF、nMOSトランジスタ10がOFFからONとなる。

【0009】この結果、CMOSドライバ11の入力端をLレベルからHレベルに遷移させるための電荷がCMOSドライバ5から信号配線1に供給されると共に、CMOSインバータ14の入力端をHレベルからLレベルに遷移させるための電荷が信号配線2からCMOSインバータ8を介して接地に引き抜かれる。

【0010】この現象は、CMOSドライバ11の入力端をLレベルからHレベルに遷移させるための正の信号エネルギーがCMOSドライバ5から信号配線1に供給

されると共に、CMOSインバータ14の入力端をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOSインバータ8から信号配線2に供給されると見ることができる。

【0011】そして、CMOSドライバ11の入力端がLレベルからHレベル、CMOSインバータ14の入力端がHレベルからLレベルになると、CMOSドライバ11においては、nMOSトランジスタ12がOFFからON、pMOSトランジスタ13がONからOFFとなり、CMOSインバータ14においては、pMOSトランジスタ15がOFFからON、nMOSトランジスタ16がONからOFFとなる。

【0012】この結果、CMOSドライバ11及びCMOSインバータ14の出力は、共にLレベルからHレベルとなるので、CMOS差動レシーバ4が出力する受信デジタル信号RSはLレベルからHレベルとなり、CMOS差動レシーバ4は、送信デジタル信号TSを受信したことになる。

【0013】これに対して、送信デジタル信号TSがHレベルからLレベルに遷移すると、CMOSドライバ5においては、nMOSトランジスタ6がONからOFF、pMOSトランジスタ7がOFFからONとなり、CMOSインバータ8においては、pMOSトランジスタ9がOFFからON、nMOSトランジスタ10がONからOFFとなる。

【0014】この結果、CMOSドライバ11の入力端をHレベルからLレベルに遷移させるための電荷が信号配線1からCMOSドライバ5を介して接地に引き抜かれると共に、CMOSインバータ14の入力端をLレベルからHレベルに遷移させるための電荷がCMOSインバータ8から信号配線2に供給される。

【0015】この現象は、CMOSドライバ11の入力端をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOSドライバ5から信号配線1に供給されると共に、CMOSインバータ14の入力端をLレベルからHレベルに遷移させるための正の信号エネルギーがCMOSインバータ8から信号配線2に供給されると見ることができる。

【0016】そして、CMOSドライバ11の入力端がHレベルからLレベル、CMOSインバータ14の入力端がLレベルからHレベルになると、CMOSドライバ11においては、nMOSトランジスタ12がONからOFF、pMOSトランジスタ13がOFFからONとなり、CMOSインバータ14においては、pMOSトランジスタ15がONからOFF、nMOSトランジスタ16がOFFからONとなる。

【0017】この結果、CMOSドライバ11及びCMOSインバータ14の出力は、共にHレベルからLレベルとなるので、CMOS差動レシーバ4が出力する受信デジタル信号RSはHレベルからLレベルとなり、CM

OS差動レシーバ4は、送信デジタル信号TSを受信したことになる。

【0018】このように、図48に示す従来の電子装置は、送信デジタル信号TSが遷移した場合、CMOS差動ドライバ3から相補信号エネルギーを信号配線1、2に供給することにより、送信デジタル信号TSを相補信号化してなる相補送信デジタル信号CS、/CSを信号配線1、2を介してCMOS差動レシーバ4に伝送するというものである。

【0019】

【発明が解決しようとする課題】図48に示す従来の電子装置において、信号配線1、2をカップリング係数が1に近い等長平行配線とする場合には、信号配線1、2を電磁界がほぼ閉じている伝送線路とし、相補送信デジタル信号CS、/CSをTEM (Transversed Electro magnetic Mode) 伝送に近いモードで伝送し、信号伝送の高速化を図ることができる。

【0020】しかし、CMOS差動ドライバ3からCMOS差動レシーバ4に対して相補送信デジタル信号CS、/CSを信号配線1、2を介して伝送する場合、CMOS差動ドライバ3から信号配線1、2に供給される相補信号エネルギーは電源配線から供給されるものであるから、信号伝送の更なる高速化を図るためには、電源配線からCMOS差動ドライバ3に対する相補信号エネルギーの供給の高速化を図る必要があるが、この点に関しては、従来、何ら提案されていない。

【0021】本発明は、かかる点に鑑み、ドライバから出力される送信デジタル信号を信号配線を介してレシーバに伝送する伝送回路を有する電子装置であって、信号伝送の更なる高速化を図ることができるようにした電子装置を提供することを第1の目的とする。

【0022】また、本発明は、CPUと複数のメモリとを備えた電子装置であって、CPUとメモリとの間の信号伝送の高速化を図ることができるようにした電子装置を提供することを第2の目的とする。本発明の他の目的は、本発明の説明の記載から明瞭になる。

【0023】

【課題を解決するための手段】本発明中、第1の発明の電子装置は、等長平行配線とされた第1、第2の信号配線からなる1対以上の信号配線ペアを有する配線基板に、前記1対以上の信号配線ペアの第1、第2の信号配線に送信デジタル信号を相補信号化してなる相補送信デジタル信号を出力する1個以上の差動ドライバを有する集積回路チップを搭載してなる電子装置において、前記配線基板は、前記1個以上の差動ドライバに第1、第2の電源電圧を供給する等長平行配線とされた第1、第2の電源配線からなる電源配線ペアを有しているというものである。

【0024】本発明中、第1の発明においては、送信デジタル信号が遷移すると、信号配線ペアに接続された差

動レシーバの入力端のレベルを遷移させる相補信号エネルギーが差動ドライバから信号配線ペアに供給され、この場合、信号配線ペアに供給される相補信号エネルギーは、第 1、第 2 の電源配線を介して差動ドライバに供給される。

【 0 0 2 5 】ここに、本発明中、第 1 の発明によれば、差動ドライバに第 1、第 2 の電源電圧を供給する第 1、第 2 の電源配線は、等長平行配線とされているので、これら第 1、第 2 の電源配線は、差動ドライバに供給すべき相補信号エネルギーに対して、電磁界がほぼ閉じた伝送線路として機能する。

【 0 0 2 6 】したがって、差動ドライバに供給すべき相補信号エネルギーを、減衰させることなく、差動ドライバに高速に供給することができ、差動ドライバから出力される相補送信デジタル信号の伝送の高速化を図ることができる。

【 0 0 2 7 】本発明中、第 2 の発明の電子装置は、第 1 の発明において、信号配線ペアの特性インピーダンスを Z_0 、信号配線ペアの数を n 、電源配線ペアの特性インピーダンスを Z_1 とすると、 Z_1 は、 Z_0/n 又は Z_0/n に可能な限り近い値とされているというものである。

【 0 0 2 8 】本発明中、第 2 の発明によれば、電源配線ペアは、特性インピーダンス上、信号配線ペアと整合又は整合に近い状態とされるので、この点からも、第 1、第 2 の電源配線を介して差動ドライバに供給すべき相補信号エネルギーを減衰させないで高速に供給することができ、相補送信デジタル信号の伝送の高速化を図ることができる。

【 0 0 2 9 】本発明中、第 3 の発明の電子装置は、第 1 又は第 2 の発明において、電源配線ペア及び 1 対以上の信号配線ペア、又は、2 対以上の信号配線ペアが配線基板の同一面に平行に形成されている場合において、各配線ペアを構成する第 1、第 2 の配線との幅方向の中心間距離を a 、隣接する配線ペアとの間隔を b とすると、 $b > 2a$ とされているというものである。

【 0 0 3 0 】本発明中、第 3 の発明によれば、各配線ペアを構成する第 1、第 2 の信号間のカップリング係数を 1 に近づけることができるので、各配線ペアは、各配線ペアに供給される相補信号エネルギーに対して良好な伝送線路として機能する。

【 0 0 3 1 】本発明中、第 4 の発明の電子装置は、第 1 又は第 2 の発明において、電源配線ペア及び 1 対以上の信号配線ペア、又は、2 対以上の信号配線ペアを構成する第 1、第 2 の配線が配線基板を挟んで形成されている場合において、配線基板の厚みを t 、第 1、第 2 の配線の幅を c 、隣接する配線ペアとの間隔を s とすると、 $s/(t+c) > 2$ とされているというものである。

【 0 0 3 2 】本発明中、第 4 の発明によれば、各配線ペアを構成する第 1、第 2 の信号間のカップリング係数を

1 に近づけることができるので、各配線ペアは、各配線ペアに供給される相補信号エネルギーに対して良好な伝送線路として機能する。

【 0 0 3 3 】本発明中、第 5 の発明の電子装置は、第 1、第 2、第 3 又は第 4 の発明において、前記差動ドライバは、オン抵抗を信号配線ペアの特性インピーダンスと同一とされているというものである。

【 0 0 3 4 】本発明中、第 5 の発明によれば、信号配線ペアを伝送される相補信号エネルギーが信号配線ペアに接続されている差動レシーバで反射され、信号配線ペアを逆走してくる場合であっても、逆走相補信号エネルギーが再反射することを避けることができ、この点からしても、相補送信デジタル信号の伝送の高速化を図ることができる。

【 0 0 3 5 】本発明中、第 6 の発明の電子装置は、第 1、第 2、第 3、第 4 又は第 5 の発明において、信号配線ペアを構成する第 1、第 2 の信号配線の終端間に終端抵抗が接続されているというものである。

【 0 0 3 6 】本発明中、第 6 の発明によれば、信号配線ペアの終端での反射を避けることができるので、信号配線ペアの途中に、高入力インピーダンスの差動レシーバを有する集積回路チップを接続することができ、信号配線ペアを使用して 1 方向の高速信号伝送を行うことができる。

【 0 0 3 7 】本発明中、第 7 の発明の電子装置は、第 6 の発明において、前記差動ドライバはスリーステート差動ドライバであり、前記集積回路チップは、第 1、第 2 の信号入力端子を信号配線ペアを構成する第 1、第 2 の信号配線に接続された高入力インピーダンスの差動レシーバを有しているというものである。

【 0 0 3 8 】本発明中、第 7 の発明によれば、信号配線ペアの途中に、高入力インピーダンスの差動レシーバ及びスリーステート差動ドライバを有する集積回路チップを接続することができ、信号配線ペアを使用して双方向の高速信号伝送を行うことができる。

【 0 0 3 9 】本発明中、第 8 の発明の電子装置は、第 1、第 2、第 3、第 4、第 5、第 6 又は第 7 の発明において、前記集積回路チップは、1 個以上の差動ドライバに第 1、第 2 の電源電圧を供給するチップ内の第 1、第 2 の電源配線間に第 1 のコンデンサを接続しているというものである。

【 0 0 4 0 】本発明中、第 8 の発明によれば、第 1、第 2 の電源配線を介して差動ドライバに相補信号エネルギーが供給される前に、第 1 のコンデンサから差動ドライバに対して相補信号エネルギーを供給することができるので、この点からしても、相補送信デジタル信号の伝送の高速化を図ることができる。

【 0 0 4 1 】本発明中、第 9 の発明の電子装置は、第 8 の発明において、第 1 のコンデンサは、電源用パッドの下層に形成されているというものである。

【 0 0 4 2 】本発明中、第 9 の発明によれば、第 8 の発明と同様の作用を得ることができると共に、集積回路チップのチップ面を有効に使用することができる。

【 0 0 4 3 】本発明中、第 1 0 の発明の電子装置は、第 8 又は第 9 の発明において、前記集積回路チップの近傍の電源配線ペアを構成する第 1、第 2 の電源配線間に第 2 のコンデンサを接続しているというものである。

【 0 0 4 4 】本発明中、第 1 0 の発明によれば、第 2 のコンデンサから第 1 のコンデンサに相補信号エネルギーを供給することができるので、第 8 又は第 9 の発明と同様の作用を得ることができると共に、第 1 のコンデンサの小容量化を図ることができる。

【 0 0 4 5 】本発明中、第 1 1 の発明の電子装置は、第 1 0 の発明において、第 2 のコンデンサは、第 1 のコンデンサから信号配線ペアの長さの 1 0 分の 1 以下の距離にある第 1、第 2 の電源配線に接続され、容量を第 1 のコンデンサの 5 倍以上とされているというものである。

【 0 0 4 6 】本発明中、第 1 1 の発明によれば、第 2 のコンデンサを設けず、第 1 のコンデンサのみを設ける場合に比較して、第 1 のコンデンサの容量を 1 0 分の 1 程度にすることができる。

【 0 0 4 7 】本発明中、第 1 2 の発明の電子装置は、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 1 0 又は第 1 1 の発明において、前記集積回路チップは、1 個以上の差動ドライバに第 1、第 2 の電源電圧を供給するチップ内の第 1、第 2 の電源配線を等長平行配線とされているというものである。

【 0 0 4 8 】本発明中、第 1 2 の発明によれば、集積回路チップ内の第 1、第 2 の電源配線を電磁界がほぼ閉じた伝送線路として機能させることができるので、相補信号エネルギーの差動ドライバに対する供給を高速化することができ、この点からも、相補送信デジタル信号の伝送の高速化を図ることができる。

【 0 0 4 9 】本発明中、第 1 3 の発明の電子装置は、1 本以上の信号配線を有する配線基板に、前記 1 本以上の信号配線に非差動送信デジタル信号を出力する 1 個以上のドライバを有する集積回路チップを搭載してなる電子装置において、前記集積回路チップは、前記 1 個以上のドライバに第 1、第 2 の電源電圧を供給するチップ内の第 1、第 2 の電源配線間に第 1 のコンデンサを接続しているというものである。

【 0 0 5 0 】本発明中、第 1 3 の発明によれば、第 1、第 2 の電源配線を介して差動ドライバに相補信号エネルギーが供給される前に、第 1 のコンデンサから差動ドライバに対して相補信号エネルギーを供給することができるので、送信デジタル信号の伝送の高速化を図ることができる。

【 0 0 5 1 】本発明中、第 1 4 の発明の電子装置は、第 1 3 の発明において、第 1 のコンデンサは、電源用パッドの下層に形成されているというものである。

【 0 0 5 2 】本発明中、第 1 4 の発明によれば、第 1 3 の発明と同様の作用を得ることができると共に、集積回路チップのチップ面を有効に使用することができる。

【 0 0 5 3 】本発明中、第 1 5 の発明の電子装置は、第 1 3 又は第 1 4 の発明において、前記集積回路チップの近傍の第 1、第 2 の電源配線間に第 2 のコンデンサを接続しているというものである。

【 0 0 5 4 】本発明中、第 1 5 の発明によれば、第 2 のコンデンサから第 1 のコンデンサに相補信号エネルギーを供給することができるので、第 1 3 又は第 1 4 の発明と同様の作用を得ることができると共に、第 1 のコンデンサの小容量化を図ることができる。

【 0 0 5 5 】本発明中、第 1 6 の発明の電子装置は、第 1 5 の発明において、第 2 のコンデンサは、第 1 のコンデンサから信号配線の長さの 1 0 分の 1 以下の距離にある第 1、第 2 の電源配線に接続され、容量を第 1 のコンデンサの 5 倍以上とされているというものである。

【 0 0 5 6 】本発明中、第 1 6 の発明によれば、第 2 のコンデンサを設けず、第 1 のコンデンサのみを設ける場合に比較して、第 1 のコンデンサの容量を 1 0 分の 1 程度にすることができる。

【 0 0 5 7 】本発明中、第 1 7 の発明の電子装置は、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 1 0、第 1 1、第 1 2、第 1 3、第 1 4、第 1 5 又は第 1 6 の発明において、差動ドライバ又はドライバの出力側に送信デジタル信号の第 3 高調波以上をカットするローパスフィルタが挿入されているというものである。

【 0 0 5 8 】本発明中、第 1 7 の発明によれば、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 1 0、第 1 1、第 1 2、第 1 3、第 1 4、第 1 5 又は第 1 6 の発明と同様の作用を得ることができると共に、送信デジタル信号として波形の良好な信号を伝送することができる。

【 0 0 5 9 】本発明中、第 1 8 の発明の電子装置は、第 1 7 の発明において、電源配線に前記ローパスフィルタの特性と同一特性のローパスフィルタを挿入させているというものである。

【 0 0 6 0 】本発明中、第 1 8 の発明によれば、第 1 7 の発明と同様の作用を得ることができると共に、送信デジタル信号として第 1 7 の発明以上に波形の良好な信号を伝送することができる。

【 0 0 6 1 】本発明中、第 1 9 の発明の電子装置は、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 1 0、第 1 1、第 1 2、第 1 3、第 1 4、第 1 5、第 1 6、第 1 7 又は第 1 8 の発明において、前記信号配線に平行して結合器からなる受信部を備えているというものである。

【 0 0 6 2 】本発明中、第 1 9 の発明によれば、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第

10、第11、第12、第13、第14、第15、第16、第17又は第18の発明と同様の作用を得ることができると共に、信号配線を伝送されてくる高速送信デジタル信号の受信を容易に行うことができる。

【0063】本発明中、第20の発明の電子装置は、第1面の中央部に設定されたCPU搭載領域の各辺から四方に延び、所定部分で第1面と対向する第2面に折り返して第2面を中央部に向けて延びる等長平行配線とされた同数の信号配線からなる第1、第2、第3及び第4の信号配線群を有する配線基板に、CPUがその信号端子を第1、第2、第3及び第4の信号配線群の信号配線に接続してCPU搭載領域に搭載されていると共に、第1、第2、第3及び第4の信号配線群のCPUの信号端子接続箇所から同一距離部分に同一品種のメモリがそれぞれその信号端子を第1、第2、第3又は第4の信号配線群の信号配線に接続して搭載されているというものである。

【0064】本発明中、第20の発明によれば、CPUと、CPUによりアクセスされる多数のメモリとを等長平行配線とされた信号配線で接続する必要がある電子装置を1枚の配線基板を使用して構成する場合に、信号配線を最も短く形成することができ、CPUとメモリとの間の信号伝送の高速化を図ることができる。

【0065】本発明中、第21の発明の電子装置は、対向する第1、第2の配線基板を有し、第1の配線基板の第2の配線基板との対向面の中央部に設定されたCPU搭載領域の各辺から四方に延び、所定の部分で第2の配線基板の第1の配線基板との対向面に折り返して第2の配線基板の第1の配線基板との対向面を中央部に向けて延びる等長平行配線とされた同数の信号配線からなる第1、第2、第3及び第4の信号配線群からなる1対の配線基板を有し、CPUがその信号端子を第1、第2、第3及び第4の信号配線群の信号端子に接続してCPU搭載領域に搭載されていると共に、第1、第2、第3及び第4の信号配線群のCPUの信号端子接続箇所から同一距離部分に同一品種のメモリがそれぞれその信号端子を第1、第2、第3又は第4の信号配線群の信号配線に接続して搭載されているというものである。

【0066】本発明中、第21の発明によれば、CPUと、CPUによりアクセスされる多数のメモリとを等長平行配線とされた信号配線で接続する必要がある電子装置を1対の配線基板を使用して構成する場合に、信号配線を最も短く形成することができ、CPUとメモリとの間の信号伝送の高速化を図ることができる。

【0067】本発明中、第22の発明の電子装置は、対向する第1、第2の半導体基板を有し、第1の半導体基板の第2の半導体基板との対向面の中央部に設定されたCPU搭載領域の各辺から四方に延び、所定の部分で第2の半導体基板の第1の半導体基板との対向面に折り返して第2の半導体基板の第1の半導体基板との対向面を

中央部に向けて延びる等長平行配線とされた同数の信号配線からなる第1、第2、第3及び第4の信号配線群を有する1対の半導体基板を有し、CPUがその信号端子を第1、第2、第3及び第4の信号配線群の信号端子に接続させてCPU形成領域に形成されると共に、第1、第2、第3及び第4の信号配線群のCPUの信号端子接続箇所から同一距離部分に同一品種のメモリがそれぞれその信号端子を第1、第2、第3又は第4の信号配線群の信号配線に接続させて形成されているというものである。

【0068】本発明中、第22の発明によれば、CPUと、CPUによりアクセスされる多数のメモリとを等長平行配線とされた信号配線で接続する必要がある電子装置を1対の半導体基板を使用して構成する場合に、信号配線を最も短く形成することができ、CPUとメモリとの間の信号伝送の高速化を図ることができる。

【0069】本発明中、第23の発明の電子装置は、第20、第21又は第22の発明において、第1、第2、第3及び第4の信号配線群の信号配線は、相補送信デジタル信号を伝送する信号配線ペアを構成しているというものである。

【0070】本発明中、第23の発明によれば、信号配線ペアを電磁界がほぼ閉じた伝送線路として機能させることができ、この点からも、CPUとメモリとの間の信号伝送の高速化を図ることができる。

【0071】本発明中、第24の発明の電子装置は、第23の発明において、CPU及びメモリに第1、第2の電源電圧を供給する等長平行配線とされた第1、第2の電源配線からなる電源配線ペアを有しているというものである。

【0072】本発明中、第24の発明によれば、CPU及びメモリに第1、第2の電源電圧を供給する第1、第2の電源配線は等長平行配線とされているので、これら第1、第2の電源配線は、CPU及びメモリに供給すべき相補信号エネルギーに対して電磁界がほぼ閉じた伝送線路として機能する。

【0073】したがって、第1、第2の電源配線を介してCPU及びメモリに供給すべき相補信号エネルギーを、減衰させることなく、CPU及びメモリに高速に供給することができ、CPU及びメモリとの間での相補送信デジタル信号の伝送の高速化を図ることができる。

【0074】

【発明の実施の形態】以下、図1～図47を参照して、本発明の第1実施形態～第27実施形態について説明する。

【0075】第1実施形態・・・図1～図3

図1は本発明の第1実施形態の概念図であり、本発明の第1実施形態は、1対の信号配線ペアを有し、この1対の信号配線ペアに分岐が存在せず、かつ、1方向の信号伝送を行う伝送回路が構成されている場合を例にするも

のである。

【 0 0 7 6 】 図 1 中、2 0 は配線基板、2 1 は配線基板 2 0 に形成されたカップリング係数を大とする等長平行配線とされた信号配線 2 2、2 3 からなる信号配線ペアである。

【 0 0 7 7 】 また、2 4 は配線基板 2 0 に形成された正の電源電圧 V D D を入力するための電源電圧入力端子、2 5 は配線基板 2 0 に形成された接地電圧 V S S を入力するための接地電圧入力端子である。

【 0 0 7 8 】 また、2 6 は配線基板 2 0 に形成されたカップリング係数を大とする等長平行配線からなる電源配線 2 7 及び接地配線 2 8 からなる電源・接地配線ペアであり、この電源・接地配線ペア 2 6 は、その特性インピーダンスを信号配線ペア 2 1 の特性インピーダンスと同一とされている。

【 0 0 7 9 】 また、2 9 は配線基板 2 0 に搭載された集積回路チップ（以下、I C チップという）であり、この I C チップ 2 9 は、その電源電圧入力端子 2 9 A を電源配線 2 7 に接続され、その接地電圧入力端子 2 9 B を接地配線 2 8 に接続され、その信号出力端子 2 9 C、2 9 D をそれぞれ信号配線 2 2、2 3 の一端に接続されている。

【 0 0 8 0 】 また、I C チップ 2 9 において、3 0 は内部回路（図示せず）から与えられる送信デジタル信号 T S を相補送信デジタル信号 C S、/ C S に相補信号化し、これら相補送信デジタル信号 C S、/ C S を信号出力端子 2 9 C、2 9 D を介して信号配線 2 2、2 3 に出力する C M O S 差動ドライバである。

【 0 0 8 1 】 また、C M O S 差動ドライバ 3 0 において、3 1 は図 4 8 に示す C M O S ドライバ 5 と同一構成の C M O S ドライバ、3 2 は図 4 8 に示す C M O S インバータ 8 と同一構成の C M O S インバータである。

【 0 0 8 2 】 また、3 3 は配線基板 2 0 に搭載された I C チップであり、I C チップ 3 3 は、その信号入力端子 3 3 A、3 3 B をそれぞれ信号配線 2 2、2 3 の他端に接続されている。

【 0 0 8 3 】 また、I C チップ 3 3 において、3 4 は信号配線 2 2、2 3 を伝送されてくる相補送信デジタル信号 C S、/ C S を受信して送信デジタル信号 T S に対応する受信デジタル信号 R S を内部回路（図示せず）に対して出力する C M O S 差動レシーバであり、この C M O S 差動ドライバ 3 4 は、図 4 8 に示す C M O S 差動レシーバ 4 と同一構成とされている。

【 0 0 8 4 】 なお、信号配線ペア 2 1 の特性インピーダンスは、2 0 ~ 1 0 0 [Ω] の間で自由に設定することができるが、C M O S 差動レシーバ 3 4 のゲートが C M O S ゲート（C M O S ドライバ及び C M O S インバータ）であるため、信号配線ペア 2 1 を伝送されてきた相補送信デジタル信号 C S、/ C S が反射し、反射された相補送信デジタル信号 C S、/ C S は、信号配線ペア 2

1 を逆走し、C M O S 差動ドライバ 3 0 に達してしまう。

【 0 0 8 5 】 そこで、C M O S 差動ドライバ 3 0 のオン抵抗を信号配線ペア 2 1 の特性インピーダンスに整合させ、信号配線ペア 2 1 を逆走してくる反射相補送信デジタル信号 C S、/ C S を吸収するように構成することが好適であり、このように構成する場合には、信号配線ペア 2 1 を逆走してくる反射相補送信デジタル信号 C S、/ C S が C M O S 差動ドライバ 3 0 側で再度反射することなく、順走相補送信デジタル信号 C S、/ C S をいかなるタイミングでも乱すことはなくなる。

【 0 0 8 6 】 図 2 は信号配線ペア 2 1 及び電源・接地配線ペア 2 6 の第 1 構成例を示す概略的断面図であり、この第 1 構成例では、これら信号配線ペア 2 1 及び電源・接地配線ペア 2 6 がコプレーナ配線構造となるように、配線基板 2 0 を構成する絶縁基板 3 5 の同一面に、信号配線 2 2、2 3 と、電源配線 2 7 と、接地配線 2 8 とが平行に形成されており、信号配線ペア 2 1 及び電源・接地配線ペア 2 6 の周辺には、ペア配線構造ではない、いわゆるベタの電源配線や接地配線は形成されていない。

【 0 0 8 7 】 ここに、信号配線 2 2 と信号配線 2 3 の幅方向の中心間距離、及び、電源配線 2 7 と接地配線 2 8 の幅方向の中心間距離を共に a とし、信号配線ペア 2 1 と電源・接地配線ペア 2 6 との間隔を b とすると、 $b > 2 a$ とする場合には、信号配線 2 2 と信号配線 2 3 との間のカップリング係数、及び、電源配線 2 7 と接地配線 2 8 との間のカップリング係数を共に 1 に近くすることができ、信号配線ペア 2 1 及び電源・接地配線ペア 2 6 を電磁界がほぼ閉じた伝送線路とすることができる。

【 0 0 8 8 】 図 3 は信号配線ペア 2 1 及び電源・接地配線ペア 2 6 の第 2 構成例を示す概略的断面図であり、この第 2 構成例では、これら信号配線ペア 2 1 及び電源・接地配線ペア 2 6 がスタック配線構造となるように、絶縁基板 3 5 を挟んで、信号配線 2 2 と信号配線 2 3 とが対向し、電源配線 2 7 と接地配線 2 8 とが対向するように形成されており、信号配線ペア 2 1 及び電源・接地配線ペア 2 6 の周辺には、ペア配線構造ではない、いわゆるベタの電源配線、接地配線は形成されていない。

【 0 0 8 9 】 ここに、絶縁基板 3 5 の厚みを t、信号配線 2 2、2 3、電源配線 2 7 及び接地配線 2 8 の配線幅を共に c、隣接する配線ペアとの間隔を s とすると、 $s / (t + c) > 2$ とする場合には、信号配線 2 2 と信号配線 2 3 との間のカップリング係数、及び、電源配線 2 7 と接地配線 2 8 との間のカップリング係数を共に 1 に近くすることができ、信号配線ペア 2 1 及び電源・接地配線ペア 2 6 を電磁界がほぼ閉じた伝送線路とすることができる。

【 0 0 9 0 】 なお、電源・接地配線ペア 2 6 は、信号配線ペア 2 1 と等長、かつ、平行である必要はなく、自由な方向に形成することができる。

10

20

30

40

50

【 0 0 9 1 】 このように構成された本発明の第 1 実施形態においては、送信デジタル信号 TS が L レベルから H レベルに遷移すると、CMOS 差動レシーバ 3 4 の正相入力端子を L レベルから H レベルに遷移させるための正の信号エネルギーが CMOS ドライバ 3 1 から信号配線 2 2 に供給され、信号配線 2 2 上を CMOS 差動レシーバ 3 4 の正相入力端子に向かって伝送されると共に、CMOS 差動レシーバ 3 4 の逆相入力端子を H レベルから L レベルに遷移させるための負の信号エネルギーが CMOS インバータ 3 2 から信号配線 2 3 に供給され、信号配線 2 3 上を CMOS 差動レシーバ 3 4 の逆相入力端子に向かって伝送される。

【 0 0 9 2 】 これに対して、送信デジタル信号 TS が H レベルから L レベルに遷移すると、CMOS 差動レシーバ 3 4 の正相入力端子を H レベルから L レベルに遷移させるための負の信号エネルギーが CMOS ドライバ 3 1 から信号配線 2 2 に供給され、信号配線 2 2 上を CMOS 差動レシーバ 3 4 の正相入力端子に向かって伝送されると共に、CMOS 差動レシーバ 3 4 の逆相入力端子を L レベルから H レベルに遷移させるための正の信号エネルギーが CMOS インバータ 3 2 から信号配線 2 3 に供給され、信号配線 2 3 上を CMOS 差動レシーバ 3 4 の逆相入力端子に向かって伝送される。

【 0 0 9 3 】 このように、本発明の第 1 実施形態においては、送信デジタル信号 TS が遷移すると、相補信号エネルギーが信号配線 2 2、2 3 上を CMOS 差動ドライバ 3 0 から CMOS 差動レシーバ 3 4 に向かって伝送されるが、信号配線 2 2、2 3 は、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、信号配線 2 2、2 3 を電磁界がほぼ閉じた伝送線路とし、信号配線 2 2、2 3 上を伝送される相補信号エネルギーの損失を小さくして TEM 伝送に近いモードで伝送することができる。

【 0 0 9 4 】 また、電源配線 2 7 及び接地配線 2 8 も、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、電源・接地配線ペア 2 6 を電磁界がほぼ閉じた伝送線路とし、たとえば、電源・接地配線ペア 2 6 が長い場合であっても、相補送信デジタル信号 CS、/CS を CMOS 差動ドライバ 3 0 から CMOS 差動レシーバ 3 4 に伝送するのに必要な電源電圧入力端子 2 4 及び接地電圧入力端子 2 5 から CMOS 差動ドライバ 3 0 への相補信号エネルギーの伝送を相補信号エネルギーの損失を小さくして TEM 伝送に近いモードで行うことができる。

【 0 0 9 5 】 しかも、電源・接地配線ペア 2 6 の特性インピーダンスは、信号配線ペア 2 1 の特性インピーダンスと同一とされ、電源・接地配線ペア 2 6 は、特性インピーダンス上、信号配線ペア 2 1 と整合するように構成されているので、信号配線ペア 2 1 で消費される相補信号エネルギーと、電源電圧入力端子 2 4 及び接地電圧入

力端子 2 5 から CMOS 差動ドライバ 3 0 に供給される相補信号エネルギーが整合し、その損失を小さくすることができる。

【 0 0 9 6 】 したがって、本発明の第 1 実施形態によれば、相補送信デジタル信号 CS、/CS の波形の変形が実質的になくなり、CMOS 差動ドライバ 3 0 から CMOS 差動レシーバ 3 4 への信号配線ペア 2 1 を介しての相補送信デジタル信号 CS、/CS の光の速度に近い速度での伝送を行うことができる。

10 【 0 0 9 7 】 なお、IC チップ 2 9 内の CMOS 差動ドライバ 3 0 に電源電圧及び接地電圧を供給する電源配線及び接地配線も等長平行配線からなるペア配線構造とすることが好適であり、このようにする場合には、CMOS 差動ドライバ 3 0 から CMOS 差動レシーバ 3 4 への信号配線ペア 2 1 を介しての相補送信デジタル信号 CS、/CS の伝送の更なる高速化を図ることができる。

【 0 0 9 8 】 また、本発明の第 1 実施形態によれば、IC チップ 3 3 は、レシーバとして差動レシーバ 3 4 を設けているが、差動レシーバ 3 4 は、同相ノイズ及び信号配線 2 2、2 3 のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号 CS、/CS のみに感知するので、伝送系をノイズマージンが大きい伝送系とすることができる。したがって、信号電圧を低く下げることができる。例えば、現行の回路で最も低い振幅は、0.8 V ~ 1.5 V あたりであるが、0.1 V 程度まで下げることが可能である。これにより、立ち上がり及び立ち下がり勾配を低くでき、高周波信号の伝送を図ることができると共に、省電力を達成することができる。

【 0 0 9 9 】 第 2 実施形態・図 4 ~ 図 6
30 図 4 は本発明の第 2 実施形態の概念図であり、本発明の第 2 実施形態は、2 対の信号配線ペアを有し、これら 2 対の信号配線ペアに分岐が存在せず、かつ、1 方向の信号伝送を行う伝送回路が構成されている場合を例にするものである。

【 0 1 0 0 】 図 4 中、3 6 は配線基板、3 7 は配線基板 3 6 に形成されたカップリング係数を大とする等長平行配線とされた信号配線 3 8、3 9 からなる信号配線ペア、4 0 は配線基板 3 6 に形成されたカップリング係数を大とする等長平行配線とされた信号配線 4 1、4 2 からなる信号配線ペアである。なお、信号配線ペア 3 7、4 0 は、カップリング係数及び特性インピーダンスをそれぞれ同一とされ、等長、かつ、平行とされている。

【 0 1 0 1 】 また、4 3 は配線基板 3 6 に形成された正の電源電圧 VDD を入力するための電源電圧入力端子、4 4 は配線基板 3 6 に形成された接地電圧 VSS を入力するための接地電圧入力端子、4 5 は配線基板 3 6 に形成されたカップリング係数を大とする等長平行配線とされた電源配線 4 6 及び接地配線 4 7 からなる電源・接地配線ペアである。

50 【 0 1 0 2 】 また、信号配線ペア 3 7、4 0 の特性イン

ピーダンスを Z_0 、電源・接地配線ペア 45 の特性インピーダンスを Z_1 とすると、 $Z_1 = Z_0 / 2$ (但し、2 は信号配線ペアの数) とされている。なお、 $Z_1 = Z_0 / 2$ とできない場合には、可能な限りこれに近い値とすることが好適である。

【0103】また、48 は配線基板 36 に搭載された IC チップであり、IC チップ 48 は、その電源電圧入力端子 48A を電源配線 46 に接続され、その接地電圧入力端子 48B を接地配線 47 に接続され、その信号出力端子 48C、48D、48E、48F をそれぞれ信号配線 38、39、41、42 の一端に接続されている。

【0104】また、IC チップ 48 において、49 は内部回路 (図示せず) から与えられる送信デジタル信号 TS1 を相補送信デジタル信号 CS1、/CS1 に相補信号化し、これら相補送信デジタル信号 CS1、/CS1 を信号出力端子 48C、48D を介して信号配線 38、39 に出力する CMOS 差動ドライバであり、この CMOS 差動ドライバ 49 は、図 48 に示す CMOS 差動ドライバ 3 と同一構成とされている。

【0105】また、50 は内部回路から与えられる送信デジタル信号 TS2 を相補送信デジタル信号 CS2、/CS2 に相補信号化し、これら相補送信デジタル信号 CS2、/CS2 を信号出力端子 48E、48F を介して信号配線 41、42 に出力する CMOS 差動ドライバであり、この CMOS 差動ドライバ 50 は、図 48 に示す CMOS 差動ドライバ 3 と同一構成とされている。

【0106】また、51 は配線基板 36 に搭載された IC チップであり、IC チップ 51 は、その信号入力端子 51A、51B、51C、51D をそれぞれ信号配線 38、39、41、42 の他端に接続されている。

【0107】また、IC チップ 51 において、52 は信号配線 38、39 を伝送されてくる相補送信デジタル信号 CS1、/CS1 を受信して送信デジタル信号 TS1 に対応する受信デジタル信号 RS1 を内部回路 (図示せず) に対して出力する CMOS 差動レシーバであり、この CMOS 差動レシーバ 52 は、図 48 に示す CMOS 差動レシーバ 4 と同一構成とされている。

【0108】また、53 は信号配線 41、42 を伝送されてくる相補送信デジタル信号 CS2、/CS2 を受信して送信デジタル信号 TS2 に対応する受信デジタル信号 RS2 を内部回路に対して出力する CMOS 差動レシーバであり、この CMOS 差動レシーバ 53 は、図 48 に示す CMOS 差動レシーバ 4 と同一構成とされている。

【0109】なお、信号配線ペア 37、40 の特性インピーダンスは、20 ~ 100 [Ω] の間で自由に設定することができるが、CMOS 差動レシーバ 52、53 のゲートが CMOS ゲート (CMOS ドライバ及び CMOS インバータ) であるため、信号配線ペア 37、40 をそれぞれ伝送されてきた相補送信デジタル信号 CS1、

/CS1 及び相補送信デジタル信号 CS2、/CS2 が反射し、反射された相補送信デジタル信号 CS1、/CS1 及び相補送信デジタル信号 CS2、/CS2 は、それぞれ、信号配線ペア 37、40 を逆走し、CMOS 差動ドライバ 49、50 に達してしまう。

【0110】そこで、CMOS 差動ドライバ 49、50 のオン抵抗をそれぞれ信号配線ペア 37、40 の特性インピーダンスに整合させ、信号配線ペア 37、40 をそれぞれ逆走してくる反射相補送信デジタル信号 CS1、/CS1 及び反射相補送信デジタル信号 CS2、/CS2 を吸収するように構成することが好適であり、このように構成する場合には、信号配線ペア 37、40 をそれぞれ逆走してくる反射相補送信デジタル信号 CS1、/CS1 及び反射相補送信デジタル信号 CS2、/CS2 が CMOS 差動ドライバ 49、50 側で再度反射することなく、順走相補送信デジタル信号 CS1、/CS1 及び順走相補送信デジタル信号 CS2、/CS2 をいかなるタイミングでも乱すことはなくなる。

【0111】図 5 は信号配線ペア 37、40 及び電源・接地配線ペア 45 の第 1 構成例を示す概略的断面図であり、この第 1 構成例では、これら信号配線ペア 37、40 及び電源・接地配線ペア 45 がコプレーナ配線構造となるように、配線基板 36 を構成する絶縁基板 54 の同一面に、信号配線 38、39、41、42 と、電源配線 46 と、接地配線 47 とが平行に形成されており、信号配線ペア 37、40 及び電源・接地配線ペア 45 の周辺には、ペア配線構造ではない、いわゆるベタの電源配線や接地配線は形成されていない。

【0112】ここに、信号配線 38 と信号配線 39 の幅方向の中心間距離及び信号配線 41 と信号配線 42 の幅方向の中心間距離を a 、電源配線 46 と接地配線 47 の幅方向の中心間距離を a' 、信号配線ペア 37 と信号配線ペア 40 との間隔を b 、信号配線ペア 37 と電源・接地配線ペア 45 との間隔を b' とすると、 $b > 2a$ 、 $b' > 2a'$ とする場合には、信号配線 38 と信号配線 39 との間のカップリング係数、信号配線 41 と信号配線 42 との間のカップリング係数、及び、電源配線 46 と接地配線 47 との間のカップリング係数を共に 1 に近くすることができ、信号配線ペア 37、40 及び電源・接地配線ペア 45 を電磁界がほぼ閉じた伝送線路とすることができる。

【0113】図 6 は信号配線ペア 37、40 及び電源・接地配線ペア 45 の第 2 構成例を示す概略的断面図であり、この第 2 構成例では、これら信号配線ペア 37、40 及び電源・接地配線ペア 45 がスタック配線構造となるように、絶縁基板 54 を挟んで、信号配線 38 と信号配線 39 とが対向し、信号配線 41 と信号配線 42 とが対向し、電源配線 46 と接地配線 47 とが対向するように形成されており、信号配線ペア 37、40 及び電源・接地配線ペア 45 の周辺には、ペア配線構造ではない、

いわゆるベタの電源配線、接地配線は形成されていない。

【0114】ここに、絶縁基板54の厚みを t 、信号配線38、39、41、42の配線幅を c 、電源配線46及び接地配線47の配線幅を c' 、信号配線ペア37と信号配線ペア38との間隔を s 、信号配線ペア37と電源・接地配線ペア45との間隔を c' とすると、 $s / (t + c) > 2$ 、 $s' / (t + c') > 2$ とする場合には、信号配線38と信号配線39との間のカップリング係数、信号配線41と信号配線42との間のカップリング係数、及び、電源配線46と接地配線47との間のカップリング係数をそれぞれ1に近くすることができ、信号配線ペア37、40及び電源・接地配線ペア45を電磁界がほぼ閉じた伝送線路とすることができる。

【0115】なお、電源・接地配線ペア45は、信号配線ペア37、40と等長、かつ、平行である必要はなく、自由な方向に形成することができる。

【0116】このように構成された本発明の第2実施形態においては、送信デジタル信号TS1がLレベルからHレベルに遷移すると、CMOS差動レシーバ52の正相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがCMOS差動ドライバ49の正相出力端子から信号配線38に供給され、信号配線38上をCMOS差動レシーバ52の正相入力端子に向かって伝送されると共に、CMOS差動レシーバ52の逆相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOS差動ドライバ49の逆相出力端子から信号配線39に供給され、信号配線39上をCMOS差動レシーバ53の逆相入力端子に向かって伝送される。

【0117】また、送信デジタル信号TS2がLレベルからHレベルに遷移すると、CMOS差動レシーバ53の正相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがCMOS差動ドライバ50の正相出力端子から信号配線41に供給され、信号配線41上をCMOS差動レシーバ53の正相入力端子に向かって伝送されると共に、CMOS差動レシーバ53の逆相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOS差動ドライバ50の逆相出力端子から信号配線42に供給され、信号配線42上をCMOS差動レシーバ53の逆相入力端子に向かって伝送される。

【0118】これに対して、送信デジタル信号TS1がHレベルからLレベルに遷移すると、CMOS差動レシーバ52の正相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOS差動ドライバ49の正相出力端子から信号配線38に供給され、信号配線38上をCMOS差動レシーバ52の正相入力端子に向かって伝送されると共に、CMOS差動レシーバ52の逆相入力端子をLレベルからHレベルに遷移させ

るための正の信号エネルギーがCMOS差動ドライバ49の逆相出力端子から信号配線39に供給され、信号配線39上をCMOS差動レシーバ53の逆相入力端子に向かって伝送される。

【0119】また、送信デジタル信号TS2がHレベルからLレベルに遷移すると、CMOS差動レシーバ53の正相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOS差動ドライバ50の正相出力端子から信号配線41に供給され、信号配線41上をCMOS差動レシーバ53の正相入力端子に向かって伝送されると共に、CMOS差動レシーバ53の逆相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがCMOS差動ドライバ50の逆相出力端子から信号配線42に供給され、信号配線42上をCMOS差動レシーバ53の逆相入力端子に向かって伝送される。

【0120】このように、本発明の第2実施形態においては、送信デジタル信号TS1、TS2が遷移すると、相補信号エネルギーが信号配線38、39及び信号配線41、42上をCMOS差動レシーバ52及びCMOS差動レシーバ53に向かって伝送されるが、信号配線38、39及び信号配線41、42はカップリング係数を大とする等長平行配線からなるペア配線構造とされているので、信号配線38、39及び信号配線41、42を電磁界がほぼ閉じた伝送線路とし、信号配線38、39及び信号配線41、42上を伝送される相補信号エネルギーの損失を小さくしてTEM伝送に近いモードで伝送することができる。

【0121】また、電源配線46及び接地配線47も、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、電源・接地配線ペア45を電磁界がほぼ閉じた伝送線路とし、たとえ、電源・接地配線ペア45が長い場合であっても、相補送信デジタル信号CS1、/CS1及び相補送信デジタル信号CS2、/CS2をCMOS差動レシーバ52及びCMOS差動レシーバ53に伝送するのに必要な電源電圧入力端子43及び接地電圧入力端子44からCMOS差動ドライバ49及びCMOS差動ドライバ50への相補信号エネルギーの伝送をTEM伝送に近いモードで行うことができる。

【0122】しかも、本発明の第2実施形態においては、信号配線ペア37、40の特性インピーダンスを Z_0 、電源・接地配線ペア45の特性インピーダンスを Z_1 とすると、 $Z_1 = Z_0 / 2$ とされ、電源・接地配線ペア45は、特性インピーダンス上、信号配線ペア37、40と整合するように構成されているので、信号配線ペア37、40で消費される相補信号エネルギーと、電源電圧入力端子43及び接地電圧入力端子44から電源・接地配線ペア45を介してCMOS差動ドライバ49、50に供給される相補信号エネルギーが整合し、その損

失を小さくすることができる。

【0123】したがって、本発明の第2実施形態によれば、相補送信デジタル信号CS1、/CS1及び相補送信デジタル信号CS2、/CS2の波形変形が実質的になくなり、CMOS差動ドライバ49及びCMOS差動ドライバ50からそれぞれCMOS差動レシーバ52及びCMOS差動レシーバ53への信号配線ペア37及び信号配線ペア40を介しての相補送信デジタル信号CS1、/CS1及び相補送信デジタル信号CS2、/CS2の光の速度に近い速度での伝送を行うことができる。

【0124】なお、ICチップ48内のCMOS差動ドライバ49、50に電源電圧及び接地電圧を供給する電源配線及び接地配線も等長平行配線からなるペア配線構造とすることが好適であり、このように構成する場合には、CMOS差動ドライバ49、50からCMOS差動レシーバ52、53への信号配線ペア37、40を介しての相補送信デジタル信号CS1、/CS1及び相補送信デジタル信号CS2、/CS2の伝送の更なる高速化を図ることができる。

【0125】また、本発明の第2実施形態によれば、ICチップ51は、レシーバとして差動レシーバ52、53を設けているが、差動レシーバ52は、同相ノイズ及び信号配線38、39のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号CS1、/CS1のみに感知し、差動レシーバ53は、同相ノイズ及び信号配線41、42のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号CS2、/CS2のみに感知するので、伝送系をノイズマージンが大きい伝送系とすることができる。したがって、信号電圧を低く下げることができる。例えば、現行の回路で最も低い振幅は、0.8V~1.5Vあたりであるが、0.1V程度まで下げることが可能である。これにより、立ち上がり及び立ち下がり勾配を低くでき、高周波信号の伝送を図ることができると共に、省電力を達成することができる。

【0126】第3実施形態・図7

図7は本発明の第3実施形態の概念図であり、本発明の第3実施形態は、1対の信号配線ペアを有し、この1対の信号配線ペアに分岐が存在し、かつ、1方向の信号伝送を行う伝送回路が構成されている場合を例にするものである。

【0127】図7中、55は配線基板、56は配線基板55に形成されたカップリング係数を大とする等長平行配線とされた信号配線57、58からなる信号配線ペア、59は信号配線57、58を終端する終端抵抗である。

【0128】また、60は配線基板55に形成された正の電源電圧VDDを入力するための電源電圧入力端子、61は配線基板55に形成された接地電圧VSSを入力するための接地電圧入力端子である。

【0129】また、62は配線基板55に形成されたカップリング係数を大とする等長平行配線とされた電源配線63及び接地配線64からなる電源・接地配線ペアであり、電源・接地配線ペア62の特性インピーダンスは、信号配線ペア56の特性インピーダンスと同一とされている。

【0130】なお、信号配線ペア56及び電源・接地配線ペア62は、図2に示す場合と同様にコプレーナ配線構造としても良いし、図3に示す場合と同様にスタック配線構造としても良い。

【0131】また、65は配線基板55に搭載されたICチップであり、ICチップ65は、その電源電圧入力端子65Aを電源配線63に接続され、その接地電圧入力端子65Bを接地配線64に接続され、その信号出力端子65C、65Dをそれぞれ信号配線57、58の一端に接続されている。

【0132】また、ICチップ65において、66は内部回路（図示せず）から与えられる送信デジタル信号TSを相補送信デジタル信号CS、/CSに相補信号化し、これら相補送信デジタル信号CS、/CSを信号出力端子65C、65Dを介して信号配線57、58に出力するCMOS差動ドライバであり、このCMOS差動ドライバ66は、図48に示すCMOS差動ドライバ3と同一構成とされている。

【0133】また、67-1、67-mは配線基板55に搭載された同種又は異種のICチップであり、これらICチップ67-1、67-mは、その信号入力端子67-1A、67-mAを信号配線57に接続され、その信号入力端子67-1B、67-mBを信号配線58に接続されている。

【0134】また、ICチップ67-1、67-mにおいて、68-1、68-mは信号配線57、58を伝送されてくる相補信号CS、/CSを受信する差動レシーバをなすオペアンプである。

【0135】なお、オペアンプ68-1は、その正相入力端子を信号入力端子67-1Aに接続され、その逆相入力端子を信号入力端子67-1Bに接続され、オペアンプ68-mは、その正相入力端子を信号入力端子67-mAに接続され、その逆相入力端子を信号入力端子67-mBに接続されている。

【0136】このように構成された本発明の第3実施形態においては、送信デジタル信号TSがLレベルからHレベルに移移すると、オペアンプ68-1、68-mの正相入力端子をLレベルからHレベルに移移させるための正の信号エネルギーがCMOS差動ドライバ66の正相出力端子から信号配線57に供給され、信号配線57上をオペアンプ68-1、68-mに向かって伝送されると共に、オペアンプ68-1、68-mの逆相入力端子をHレベルからLレベルに移移させるための負の信号エネルギーがCMOS差動ドライバ66の逆相出力端子

から信号配線 5 8 に供給され、信号配線 5 8 上をオペアンプ 6 8 - 1、6 8 - m の逆相入力端子に向かって伝送される。

【0137】これに対して、送信デジタル信号 TS が H レベルから L レベルに遷移すると、オペアンプ 6 8 - 1、6 8 - m の正相入力端子を H レベルから L レベルに遷移させるための負の信号エネルギーが CMOS 差動ドライバ 6 6 の正相出力端子から信号配線 5 7 に供給され、信号配線 5 7 上をオペアンプ 6 8 - 1、6 8 - m の正相入力端子に向かって伝送されると共に、オペアンプ 6 8 - 1、6 8 - m の逆相入力端子を L レベルから H レベルに遷移させるための負の信号エネルギーが CMOS 差動ドライバ 6 6 の逆相出力端子から信号配線 5 8 に供給され、信号配線 5 8 上をオペアンプ 6 8 - 1、6 8 - m の逆相入力端子に向かって伝送される。

【0138】なお、オペアンプ 6 8 - 1、6 8 - m の入力インピーダンスは、通常、信号配線ペア 5 6 の特性インピーダンス (20 ~ 100 Ω) の 1000 倍以上のハイインピーダンスとなっているので、信号配線ペア 5 6 を伝送されてくる相補信号エネルギーはオペアンプ 6 8 - 1、6 8 - m では殆ど吸収されず、そのままのエネルギー状態で終端抵抗 5 9 に到達し、ここで全エネルギーが熱となって消費される。したがって、相補信号エネルギーの反射は起こらないため、常に正しい相補送信デジタル信号 CS、/CS がオペアンプ 6 8 - 1、6 8 - m を通過することになる。

【0139】このように、本発明の第 3 実施形態においては、送信デジタル信号 TS が遷移すると、相補信号エネルギーが信号配線 5 7、5 8 上をオペアンプ 6 8 - 1、6 8 - m に向かって伝送されるが、信号配線 5 7、5 8 は、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、信号配線 5 7、5 8 を電磁界がほぼ閉じた伝送線路とし、信号配線 5 7、5 8 上を伝送される相補信号エネルギーの損失を小さくして TEM 伝送に近いモードで伝送することができる。

【0140】また、電源配線 6 3 及び接地配線 6 4 も、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、電源・接地配線ペア 6 2 を電磁界がほぼ閉じた伝送線路とし、たとえ、電源・接地配線ペア 6 2 が長い場合であっても、相補送信デジタル信号 CS、/CS をオペアンプ 6 8 - 1、6 8 - m に伝送するのに必要な電源電圧入力端子 6 0 及び接地電圧入力端子 6 1 から CMOS 差動ドライバ 6 6 への相補信号エネルギーの伝送を TEM 伝送に近いモードで行うことができる。

【0141】しかも、電源・接地配線ペア 6 2 の特性インピーダンスは、信号配線ペア 5 6 の特性インピーダンスと同一とされ、電源・接地配線ペア 6 2 は、特性インピーダンス上、信号配線ペア 5 6 と整合するように構成されているので、この点からも、電源電圧入力端子 6 0

及び接地電圧入力端子 6 1 から電源・接地配線ペア 6 2 を介して CMOS 差動ドライバ 6 6 に供給される相補信号エネルギーの損失を小さくすることができる。

【0142】したがって、本発明の第 3 実施形態によれば、相補送信デジタル信号 CS、/CS の波形の変形が実質的になくなり、CMOS 差動ドライバ 6 6 からオペアンプ 6 8 - 1、6 8 - m への信号配線ペア 5 6 を介しての相補送信デジタル信号 CS、/CS の光の速度に近い速度での伝送を行うことができる。

【0143】なお、IC チップ 6 5 内の CMOS 差動ドライバ 6 6 に電源電圧及び接地電圧を供給する電源配線及び接地配線も平行配線からなるペア配線構造とすることが好適であり、このように構成する場合には、CMOS 差動ドライバ 6 6 からオペアンプ 6 8 - 1、6 8 - m への信号配線ペア 5 6 を介しての相補送信デジタル信号 CS、/CS の伝送の更なる高速化を図ることができる。

【0144】また、本発明の第 3 実施形態によれば、IC チップ 6 7 - 1、6 7 - m は、差動レシーバとしてオペアンプ 6 8 - 1、6 8 - m を設けているが、オペアンプ 6 8 - 1、6 8 - m は、同相ノイズ及び信号配線 5 7、5 8 のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号 CS、/CS のみに感知するので、伝送系をノイズマージンが大きい伝送系とすることができる。したがって、信号電圧を低く下げることができる。例えば、現行の回路で最も低い振幅は、0.8 V ~ 1.5 V あたりであるが、0.1 V 程度まで下げることが可能である。これにより、立ち上がり及び立ち下がり勾配を低くでき、高周波信号の伝送を図ることができると共に、省電力を達成することができる。

【0145】第 4 実施形態・・・図 8 ~ 図 10

図 8 は本発明の第 4 実施形態の概念図であり、本発明の第 4 実施形態は、2 対の信号配線ペアを有し、これら 2 対の信号配線ペアに分岐が存在し、かつ、1 方向の信号伝送を行う伝送回路が構成されている場合を例にするものである。

【0146】図 8 中、7 0 は配線基板、7 1 は配線基板 7 0 に形成されたカップリング係数を大とする等長平行配線とされた信号配線 7 2、7 3 からなる信号配線ペア、7 5 は配線基板 7 0 に形成されたカップリング係数を大とする等長平行配線とされた信号配線 7 6、7 7 からなる信号配線ペアである。なお、信号配線ペア 7 1、7 5 は、カップリング係数及び特性インピーダンスをそれぞれ同一とされ、等長、かつ、平行とされている。

【0147】また、7 9 は配線基板 7 0 に形成された正の電源電圧 VDD を入力するための電源電圧入力端子、8 0 は配線基板 7 0 に形成された接地電圧 VSS を入力するための接地電圧入力端子、8 1 は配線基板 7 0 に形成されたカップリング係数を大とする等長平行配線とされた電源配線 8 2 及び接地配線 8 3 からなる電源・接地

配線ペアである。

【0148】また、信号配線ペア71、75の特性インピーダンスを Z_0 、電源・接地配線ペア81の特性インピーダンスを Z_1 とすると、 $Z_1 = Z_0 / 2$ （但し、2は信号配線ペアの数）とされている。なお、 $Z_1 = Z_0 / 2$ とできない場合には、可能な限りこれに近い値とすることが好適である。

【0149】また、信号配線ペア71、75及び電源・接地配線ペア81は、図5に示す場合と同様にコプレーナ配線構造としても良いし、図6に示す場合と同様にスタック配線構造としても良い。

【0150】また、84は配線基板70に搭載されたICチップであり、ICチップ84は、その電源電圧入力端子84Aを電源配線82に接続され、その接地電圧入力端子84Bを接地配線83に接続され、その信号出力端子84C、84D、84E、84Fをそれぞれ信号配線72、73、76、77に接続されている。

【0151】また、ICチップ84において、85は内部回路（図示せず）から与えられる送信デジタル信号TS1を相補送信デジタル信号CS1、 $/CS1$ に相補信号化し、これら相補送信デジタル信号CS1、 $/CS1$ を信号出力端子84C、84Dを介して信号配線72、73に出力するCMOS差動ドライバであり、このCMOS差動ドライバ85は、図48に示すCMOS差動ドライバ3と同一構成とされている。

【0152】また、86は内部回路から与えられる送信デジタル信号TS2を相補送信デジタル信号CS2、 $/CS2$ に相補信号化し、これら相補送信デジタル信号CS2、 $/CS2$ を信号出力端子84E、84Fを介して信号配線76、77に出力するCMOS差動ドライバであり、このCMOS差動ドライバ86は、図48に示すCMOS差動ドライバ3と同一構成とされている。

【0153】また、87-1、87-mは配線基板70に搭載された同種又は異種のICチップであり、これらICチップ87-1、87-mは、その信号入力端子87-1A、87-mAを信号配線72に接続され、その信号入力端子87-1B、87-mBを信号配線73に接続され、その信号出力端子87-1C、87-mCを信号配線76に接続され、その信号出力端子87-1D、87-mDを信号配線77に接続されている。

【0154】また、ICチップ87-1、87-mにおいて、88-1、88-mは信号配線72、73を伝送されてくる相補送信デジタル信号CS1、 $/CS1$ を受信する差動レシーバをなすオペアンプ、89-1、89-mは信号配線76、77を伝送されてくる相補送信デジタル信号CS2、 $/CS2$ を受信する差動レシーバをなすオペアンプである。

【0155】なお、オペアンプ88-1は、その正相入力端子を信号入力端子87-1Aに接続され、その逆相入力端子を信号入力端子87-1Bに接続されており、

オペアンプ88-mは、その正相入力端子を信号入力端子87-mAに接続され、その逆相入力端子を信号入力端子87-mBに接続されている。

【0156】図9は信号配線ペア71、75を図5に示すと同様にコプレーナ配線構造とした場合のICチップ搭載領域の構成例を示す概略的平面図であり、図9中、91-1A、91-1B、91-1C、91-1DはそれぞれICチップ87-1の信号入力端子87-1A、87-1B、87-1C、87-1Dを接続すべきパッド、91-mA、91-mB、91-mC、91-mDはそれぞれICチップ87-mの信号入力端子87-mA、87-mB、87-mC、87-mDを接続すべきパッドである。

【0157】図10は信号配線ペア71、75を図6に示すと同様にスタック配線構造とした場合のICチップ搭載領域の一部分の構成例を示す概略的斜視図であり、配線基板70を構成する絶縁基板は、図示を省略している。

【0158】図10中、93は信号配線73から導出されている導電層、94は配線基板70（図示せず）の導電層93の形成領域に設けられたコンタクトホールに形成された導電層、95は絶縁基板の表面に形成され、導電層94に接続された導電層であり、この例では、導電層95がICチップ87-1の信号入力端子87-1Aを接続すべきパッド、信号配線72の導電層95に隣接する部分96がICチップ87-1の信号入力端子87-1Bを接続すべきパッドとされる。

【0159】このように構成された本発明の第4実施形態においては、送信デジタル信号TS1がLレベルからHレベルに遷移すると、オペアンプ88-1、88-mの正相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがCMOS差動ドライバ85の正相出力端子から信号配線72に供給され、信号配線72上をオペアンプ88-1、88-mに向かって伝送されると共に、オペアンプ88-1、88-mの逆相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOS差動ドライバ85の逆相出力端子から信号配線73に供給され、信号配線73上をオペアンプ88-1、88-mの逆相入力端子に向かって伝送される。

【0160】また、送信デジタル信号TS2がLレベルからHレベルに遷移すると、オペアンプ89-1、89-mの正相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがCMOS差動ドライバ86の正相出力端子から信号配線76に供給され、信号配線76上をオペアンプ89-1、89-mに向かって伝送されると共に、オペアンプ89-1、89-mの逆相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがCMOS差動ドライバ86の逆相出力端子から信号配線77に供給され、信号配線77上を

オペアンプ 89-1、89-m の逆相入力端子に向かって伝送される。

【0161】これに対して、送信デジタル信号 TS1 が H レベルから L レベルに遷移すると、オペアンプ 88-1、88-m の正相入力端子を H レベルから L レベルに遷移させるための負の信号エネルギーが CMOS 差動ドライバ 85 の正相出力端子から信号配線 72 に供給され、信号配線 72 上をオペアンプ 88-1、88-m に向かって伝送されると共に、オペアンプ 88-1、88-m の逆相入力端子を L レベルから H レベルに遷移させるための正の信号エネルギーが CMOS 差動ドライバ 85 の逆相出力端子から信号配線 73 に供給され、信号配線 73 上をオペアンプ 88-1、88-m の逆相入力端子に向かって伝送される。

【0162】また、送信デジタル信号 TS2 が H レベルから L レベルに遷移すると、オペアンプ 89-1、89-m の正相入力端子を H レベルから L レベルに遷移させるための負の信号エネルギーが CMOS 差動ドライバ 86 の正相出力端子から信号配線 76 に供給され、信号配線 76 上をオペアンプ 89-1、89-m に向かって伝送されると共に、オペアンプ 89-1、89-m の逆相入力端子を L レベルから H レベルに遷移させるための正の信号エネルギーが CMOS 差動ドライバ 86 の逆相出力端子から信号配線 77 に供給され、信号配線 77 上をオペアンプ 89-1、89-m の逆相入力端子に向かって伝送される。

【0163】なお、オペアンプ 88-1、88-m、89-1、89-m の入力インピーダンスは、通常、信号配線ペア 71、75 の特性インピーダンス (20~100Ω) の 1000 倍以上のハイインピーダンスとなっているので、信号配線ペア 71、75 を伝送されてくる相補信号エネルギーはオペアンプ 88-1、88-m、89-1、89-m では殆ど吸収されず、そのままのエネルギー状態で終端抵抗 74、78 に到達し、ここで全エネルギーが熱となって消費される。したがって、相補信号エネルギーの反射は起こらないため、常に正しい相補送信デジタル信号 CS1、/CS1 及び相補送信デジタル信号 CS2、/CS2 がそれぞれオペアンプ 88-1、88-m 及びオペアンプ 89-1、89-m を通過することになる。

【0164】このように、本発明の第 4 実施形態においては、送信デジタル信号 TS1、TS2 が遷移すると、相補信号エネルギーが信号配線 72、73 及び信号配線 76、77 上をオペアンプ 88-1、88-m 及びオペアンプ 89-1、89-m に向かって伝送されるが、信号配線 72、73 及び信号配線 76、77 は、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、信号配線 72、73 及び信号配線 76、77 を電磁界がほぼ閉じた伝送線路とし、信号配線 72、73 及び信号配線 76、77 上を伝送される相補

信号エネルギーの損失を小さくして TEM 伝送に近いモードで伝送することができる。

【0165】また、電源配線 82 及び接地配線 83 も、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、電源・接地配線ペア 81 を電磁界がほぼ閉じた伝送線路とし、たとえば、電源・接地配線ペア 81 が長い場合であっても、相補送信デジタル信号 CS1、/CS1 及び相補送信デジタル信号 CS2、/CS2 をオペアンプ 88-1、88-m 及びオペアンプ 89-1、89-m に伝送するに必要な電源電圧入力端子 79 及び接地電圧入力端子 80 から CMOS 差動ドライバ 85、86 への電源・接地配線ペア 81 を介しての相補信号エネルギーの伝送を TEM 伝送に近いモードで行うことができる。

【0166】しかも、本発明の第 4 実施形態においては、信号配線ペア 71、75 の特性インピーダンスを Z0、電源・接地配線ペア 81 の特性インピーダンスを Z1 とすると、 $Z1 = Z0 / 2$ とされ、電源・接地配線ペア 81 は、特性インピーダンス上、信号配線ペア 71、75 と整合するように構成されているので、信号配線ペア 71、75 で消費される相補信号エネルギーと、電源電圧入力端子 79 及び接地電圧入力端子 80 から CMOS 差動ドライバ 85、86 に供給される相補信号エネルギーが整合し、その損失を小さくすることができる。

【0167】したがって、本発明の第 4 実施形態によれば、相補送信デジタル信号 CS1、/CS1 及び相補送信デジタル信号 CS2、/CS2 の波形の変形が実質的になくなり、CMOS 差動ドライバ 85 及び CMOS 差動ドライバ 86 からそれぞれオペアンプ 88-1、88-m 及びオペアンプ 89-1、89-m への信号配線ペア 71 及び信号配線ペア 75 を介しての相補送信デジタル信号 CS1、/CS1 及び相補送信デジタル信号 CS2、/CS2 の光の速度に近い速度での伝送を行うことができる。

【0168】なお、IC チップ 84 内の CMOS 差動ドライバ 85、86 に電源電圧及び接地電圧を供給する電源配線及び接地配線も等長平行配線からなるペア配線構造とすることが好適であり、このように構成する場合には、CMOS 差動ドライバ 85 及び CMOS 差動ドライバ 86 からオペアンプ 88-1、88-m 及びオペアンプ 89-1、89-m への信号配線ペア 71 及び信号配線ペア 75 を介しての相補送信デジタル信号 CS1、/CS1 及び相補送信デジタル信号 CS2、/CS2 の伝送の更なる高速化を図ることができる。

【0169】また、本発明の第 4 実施形態によれば、IC チップ 87-1、87-m は、差動レシーバとしてオペアンプ 88-1、89-1、88-m、89-m を設けているが、オペアンプ 88-1、88-m は、同相ノイズ及び信号配線 72、73 のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号 CS

1、／CS 1 のみに感知し、オペアンプ 8 9 - 1、8 9 - m は、同相ノイズ及び信号配線 7 6、7 7 のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号 CS 2、／CS 2 のみに感知するので、伝送系をノイズマージンが大きい伝送系とすることができる。したがって、信号電圧を低く下げることができる。例えば、現行の回路で最も低い振幅は、0.8 V ~ 1.5 V あたりであるが、0.1 V 程度まで下げることが可能である。これにより、立ち上がり及び立ち下がり勾配を低くでき、高周波信号の伝送を図ることができると共に、省電力を達成することができる。

【0170】第 5 実施形態・・・図 11 ~ 図 13

図 11 は本発明の第 5 実施形態の概念図であり、本発明の第 5 実施形態は、1 対の信号配線ペアを有し、この 1 対の信号配線ペアに分岐が存在し、かつ、双方向の信号伝送を行う伝送回路が構成されている場合を例にするものである。

【0171】図 11 中、9 8 は配線基板、9 9 は配線基板 9 8 に形成されたカップリング係数を大とする等長平行配線とされた信号配線 1 0 0、1 0 1 からなる信号配線ペア、1 0 2 は信号配線 1 0 0、1 0 1 を終端する終端抵抗である。

【0172】また、1 0 3 は配線基板 9 8 に形成された正の電源電圧 VDD を入力するための電源電圧入力端子、1 0 4 は配線基板 9 8 に形成された接地電圧 VSS を入力するための接地電圧入力端子である。

【0173】また、1 0 5 は配線基板 9 8 に形成されたカップリング係数を大とする等長平行配線とされた電源配線 1 0 6 及び接地配線 1 0 7 からなる電源・接地配線ペアであり、電源・接地配線ペア 1 0 5 の特性インピーダンスは、信号配線ペア 9 9 の特性インピーダンスと同一とされている。

【0174】なお、信号配線ペア 9 9 及び電源・接地配線ペア 1 0 5 は、図 2 に示すと同様にコプレーナ配線構造としても良いし、図 3 に示すと同様にスタック配線構造としても良い。

【0175】また、1 0 8 は配線基板 9 8 に搭載された IC チップであり、この IC チップ 1 0 8 は、その電源電圧入力端子 1 0 8 A を電源配線 1 0 6 に接続され、その接地電圧入力端子 1 0 8 B を接地配線 1 0 7 に接続され、その信号出力端子 1 0 8 C、1 0 8 D をそれぞれ信号配線 1 0 0、1 0 1 に接続されている。

【0176】また、IC チップ 1 0 8 において、1 0 9 は内部回路（図示せず）から与えられる送信デジタル信号 TS を相補送信デジタル信号 CS、／CS に相補信号化し、これら相補送信デジタル信号 CS、／CS を信号出力端子 1 0 8 C、1 0 8 D を介して信号配線 1 0 0、1 0 1 に出力するスリーステイト CMOS 差動ドライバである。

【0177】図 12 はスリーステイト CMOS 差動ドラ

イバ 1 0 9 の構成を示す回路図である。図 12 中、1 1 1 は図 4 8 に示す CMOS ドライバ 5 と同一構成の CMOS ドライバ、1 1 2 は図 4 8 に示す CMOS インバータ 8 と同一構成の CMOS インバータである。

【0178】また、1 1 3、1 1 4 はドライバ・イネーブル信号 DE により ON、OFF が制御される nMOS トランジスタであり、ドライバ・イネーブル信号 DE は、スリーステイト CMOS 差動ドライバ 1 0 9 を活性状態とする場合には H レベル、スリーステイト CMOS 差動ドライバ 1 0 9 を非活性状態とする場合には L レベルとされる。

【0179】また、図 11 において、1 1 6 は差動レシーバをなすオペアンプ、1 1 7 は信号配線 1 0 0、1 0 1 に接続された IC チップ 1 0 8 内の信号配線を終端する終端抵抗部であり、オペアンプ 1 1 6 の正相入力端子及び終端抵抗部 1 1 7 の一端 1 1 7 A は、信号入力端子 1 0 8 C に接続され、オペアンプ 1 1 6 の逆相入力端子及び終端抵抗部 1 1 7 の他端 1 1 7 B は、信号入力端子 1 0 8 D に接続されている。

【0180】図 13 は終端抵抗部 1 1 7 の構成を示す回路図である。図 13 中、1 1 9 はドライバ・イネーブル信号 DE により ON、OFF が制御される nMOS トランジスタ、1 2 0 は終端抵抗である。

【0181】また、図 11 において、1 2 2 - 1、1 2 2 - m は配線基板 9 8 に搭載された同種又は異種の IC チップであり、これら IC チップ 1 2 2 - 1、1 2 2 - m は、その信号入力端子 1 2 2 - 1 A、1 2 2 - m A を信号配線 1 0 0 に接続され、その信号入力端子 1 2 2 - 1 B、1 2 2 - m B を信号配線 1 0 1 に接続されている。

【0182】また、IC チップ 1 2 2 - 1 において、1 2 3 - 1 は差動レシーバをなすオペアンプであり、その正相入力端子を信号入力端子 1 2 2 - 1 A に接続され、その逆相入力端子を信号入力端子 1 2 2 - 1 B に接続されている。

【0183】また、1 2 4 - 1 はスリーステイト CMOS 差動ドライバ 1 0 9 と同様に構成されたスリーステイト CMOS 差動ドライバであり、その正相出力端子を信号入力端子 1 2 2 - 1 A に接続され、その逆相出力端子を信号入力端子 1 2 2 - 1 B に接続されている。

【0184】また、IC チップ 1 2 2 - m において、1 2 3 - m は差動レシーバをなすオペアンプであり、その正相入力端子を信号入力端子 1 2 2 - m A に接続され、その逆相入力端子を信号入力端子 1 2 2 - m B に接続されている。

【0185】また、1 2 4 - m はスリーステイト CMOS 差動ドライバ 1 0 9 と同様に構成されたスリーステイト CMOS 差動ドライバであり、その正相出力端子を信号入力端子 1 2 2 - m A に接続され、その逆相出力端子を信号入力端子 1 2 2 - m B に接続されている。

【 0 1 8 6 】 このように構成された本発明の第 5 実施形態においては、 I C チップ 1 0 8 から発信されるライトイネーブル信号 W E が活性状態の下で、送信デジタル信号 T S が L レベルから H レベルに遷移すると、オペアンプ 1 2 3 - 1、1 2 3 - m の正相入力端子を L レベルから H レベルに遷移させるための正の信号エネルギーがスリーステイト C M O S 差動ドライバ 1 0 9 の正相出力端子から信号配線 1 0 0 に供給され、信号配線 1 0 0 上をオペアンプ 1 2 3 - 1、1 2 3 - m に向かって伝送されると共に、オペアンプ 1 2 3 - 1、1 2 3 - m の逆相入力端子を H レベルから L レベルに遷移させるための負の信号エネルギーがスリーステイト C M O S 差動ドライバ 1 0 9 の逆相出力端子から信号配線 1 0 1 に供給され、信号配線 1 0 1 上をオペアンプ 1 2 3 - 1、1 2 3 - m の逆相入力端子に向かって伝送される。

【 0 1 8 7 】 これに対して、送信デジタル信号 T S が H レベルから L レベルに遷移すると、オペアンプ 1 2 3 - 1、1 2 3 - m の正相入力端子を H レベルから L レベルに遷移させるための負の信号エネルギーがスリーステイト C M O S 差動ドライバ 1 0 9 の正相出力端子から信号配線 1 0 0 に供給され、信号配線 1 0 0 上をオペアンプ 1 2 3 - 1、1 2 3 - m に向かって伝送されると共に、オペアンプ 1 2 3 - 1、1 2 3 - m の逆相入力端子を L レベルから H レベルに遷移させるための正の信号エネルギーがスリーステイト C M O S 差動ドライバ 1 0 9 の逆相出力端子から信号配線 1 0 1 に供給され、信号配線 1 0 1 上をオペアンプ 1 2 3 - 1、1 2 3 - m の逆相入力端子に向かって伝送される。

【 0 1 8 8 】 なお、オペアンプ 1 2 3 - 1、1 2 3 - m の入力インピーダンスは、通常、信号配線ペア 9 9 の特性インピーダンス (2 0 ~ 1 0 0 Ω) の 1 0 0 0 倍以上のハイインピーダンスとなっているので、信号配線ペア 9 9 を伝送されてくる相補信号エネルギーはオペアンプ 1 2 3 - 1、1 2 3 - m では殆ど吸収されず、そのままのエネルギー状態で終端抵抗 1 0 2 に到達し、ここで全エネルギーが熱となって消費される。したがって、相補信号エネルギーの反射は起こらないため、常に良好な波形の相補送信デジタル信号 C S、 $\bar{C}S$ がオペアンプ 1 2 3 - 1、1 2 3 - m を通過することになる。

【 0 1 8 9 】 また、 I C チップ 1 0 8 から発信されるリードイネーブル信号 R E が活性状態で、 I C チップ 1 0 8 のオペアンプ 1 1 6 が受信状態になると、 I C チップ 1 2 2 - 1 のスリーステイト C M O S 差動ドライバ 1 2 4 - 1 又は I C チップ 1 2 2 - m のスリーステイト C M O S 差動ドライバ 1 2 4 - m から相補送信デジタル信号が信号配線ペア 9 9 に出力され、信号配線ペア 9 9 を左右に伝送されることになるが、右方向に伝送される相補送信デジタル信号は、終端抵抗 1 0 2 で吸収され、左方向に伝送される相補送信デジタル信号は、 I C チップ 1 0 8 内の終端抵抗部 1 1 7 の終端抵抗 1 2 0 で吸収され

るので、相補送信デジタル信号に反射が起こることはなく、オペアンプ 1 1 6 は、常に良好な波形の相補送信デジタル信号を受信することができる。

【 0 1 9 0 】 なお、スリーステイト C M O S 差動ドライバ 1 0 9、1 2 4 - 1、1 2 4 - m のオン抵抗は、信号配線ペア 9 9 の特性インピーダンスの 1 / 2 以下の抵抗であることが好ましい。

【 0 1 9 1 】 このように、本発明の第 5 実施形態においては、 I C チップ 1 0 8 から発信されるライトイネーブル信号 W E が活性状態の下で、送信デジタル信号 T S が遷移すると、相補信号エネルギーが信号配線 1 0 0、1 0 1 上をオペアンプ 1 2 3 - 1、1 2 3 - m に向かって伝送されるが、信号配線 1 0 0、1 0 1 は、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、信号配線 1 0 0、1 0 1 を電磁界がほぼ閉じた伝送線路とし、信号配線 1 0 0、1 0 1 上を伝送される相補信号エネルギーの損失を小さくして T E M 伝送に近いモードで伝送することができる。

【 0 1 9 2 】 また、電源配線 1 0 6 及び接地配線 1 0 7 も、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、電源・接地配線ペア 1 0 5 を電磁界がほぼ閉じた伝送線路とし、たとえ、電源・接地配線ペア 1 0 5 が長い場合であっても、相補送信デジタル信号 C S、 $\bar{C}S$ をオペアンプ 1 2 3 - 1、1 2 3 - m に伝送するに必要な、電源電圧入力端子 1 0 3 及び接地電圧入力端子 1 0 4 から電源・接地配線ペア 1 0 5 を介してのスリーステイト C M O S 差動ドライバ 1 0 9 への相補信号エネルギーの伝送を T E M 伝送に近いモードで行うことができる。

【 0 1 9 3 】 しかも、電源・接地配線ペア 1 0 5 の特性インピーダンスは、信号配線ペア 9 9 の特性インピーダンスと同一とされ、電源・接地配線ペア 1 0 5 は、特性インピーダンス上、信号配線ペア 9 9 と整合するように構成されているので、信号配線ペア 9 9 で消費される相補信号エネルギーと、電源電圧入力端子 1 0 3 及び接地電圧入力端子 1 0 4 からスリーステイト C M O S 差動ドライバ 1 0 9 に供給される相補信号エネルギーが整合し、その損失を小さくすることができる。

【 0 1 9 4 】 したがって、本発明の第 5 実施形態によれば、相補送信デジタル信号 C S、 $\bar{C}S$ の波形の変形が実質的になくなり、スリーステイト C M O S 差動ドライバ 1 0 9 からオペアンプ 1 2 3 - 1、1 2 3 - m への信号配線ペア 9 9 を介しての相補送信デジタル信号 C S、 $\bar{C}S$ の光の速度に近い速度での伝送を行うことができる。

【 0 1 9 5 】 なお、 I C チップ 1 0 8 内のスリーステイト C M O S 差動ドライバ 1 0 9 に電源電圧及び接地電圧を供給する電源配線及び接地配線も等長平行配線からなるペア配線構造とすることが好適であり、このように構成する場合には、スリーステイト C M O S 差動ドライバ

109からオペアンプ123-1、123-mへの信号配線ペア99を介しての相補送信デジタル信号CS、/CSの伝送の更なる高速化を図ることができる。

【0196】また、本発明の第5実施形態によれば、ICチップ122-1、122-mは、差動レシーバとしてオペアンプ123-1、123-mを設けているが、オペアンプ123-1、123-mは、同相ノイズ及び信号配線100、101のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号CS、/CSのみに感知するので、伝送系をノイズマージンが大きい伝送系とすることができ、したがって、信号電圧を低く下げることができる。例えば、現行の回路で最も低い振幅は、0.8V~1.5Vあたりであるが、0.1V程度まで下げることが可能である。これにより、立ち上がり及び立ち下がり勾配を低くでき、高周波信号の伝送を図ることができると共に、省電力を達成することができる。

【0197】第6実施形態・図14

図14は本発明の第6実施形態の概念図であり、本発明の第6実施形態は、2組の信号配線ペアを有し、これら2組の信号配線ペアに分岐が存在し、かつ、双方向の信号伝送を行う伝送回路が構成されている場合を例にしている。

【0198】図14中、126は配線基板、127は配線基板126に形成されたカップリング係数を大とする等長平行配線とされた信号配線128、129からなる信号配線ペア、131は配線基板126に形成されたカップリング係数を大とする等長平行配線とされた信号配線132、133からなる信号配線ペアである。なお、信号配線ペア127、131は、カップリング係数及び特性インピーダンスをそれぞれ同一とされ、等長、かつ、平行とされている。

【0199】また、135は配線基板126に形成された正の電源電圧VDDを入力するための電源電圧入力端子、136は配線基板126に形成された接地電圧VSSを入力するための接地電圧入力端子、137は配線基板126に形成されたカップリング係数を大とする等長平行配線とされた電源配線138及び接地配線139からなる電源・接地配線ペアである。

【0200】また、信号配線ペア127、131の特性インピーダンスをZ0、電源・接地配線ペア137の特性インピーダンスをZ1とすると、 $Z1 = Z0 / 2$ （但し、2は信号配線ペアの数）とされている。なお、 $Z1 = Z0 / 2$ とできない場合には、可能な限りこれに近い値とすることが好適である。

【0201】また、信号配線ペア127、131及び電源・接地配線ペア137は、図2に示すと同様にコプレーナ配線構造としても良いし、図3に示すと同様にスタック配線構造としても良い。

【0202】また、140は配線基板126に搭載され

たICチップであり、このICチップ140は、その電源電圧入力端子140Aを電源配線138に接続され、その接地電圧入力端子140Bを接地配線139に接続され、その信号出力端子140C、140D、140E、140Fをそれぞれ信号配線128、129、132、133に接続されている。

【0203】また、ICチップ140において、141は内部回路（図示せず）から与えられる送信デジタル信号TS1を相補送信デジタル信号CS1、/CS1に相補信号化し、これら相補送信デジタル信号CS1、/CS1を信号出力端子140C、140Dを介して信号配線128、129に出力する、図11に示すスリーステイトCMOS差動ドライバ109と同様に構成されたスリーステイトCMOS差動ドライバである。

【0204】また、142は内部回路から与えられる送信デジタル信号TS2を相補送信デジタル信号CS2、/CS2に相補信号化し、これら相補送信デジタル信号CS2、/CS2を信号出力端子140E、140Fを介して信号配線132、133に出力する、図11に示すスリーステイトCMOS差動ドライバ109と同様に構成されたスリーステイトCMOS差動ドライバである。

【0205】また、143は差動レシーバをなすオペアンプ、144は図11に示す終端抵抗部117と同様に構成された信号配線128、129に接続されたICチップ140内の信号配線を終端する終端抵抗部であり、オペアンプ143の正相入力端子及び終端抵抗部144の一端144Aは、信号入力端子140Cに接続され、オペアンプ143の逆相入力端子及び終端抵抗部144の他端144Bは、信号入力端子140Dに接続されている。

【0206】また、145は差動レシーバをなすオペアンプ、146は図11に示す終端抵抗部117と同様に構成された信号配線132、133に接続されたICチップ140内の信号配線を終端する終端抵抗部であり、オペアンプ145の正相入力端子及び終端抵抗部146の一端146Aは、信号入力端子140Eに接続され、オペアンプ145の逆相入力端子及び終端抵抗部146の他端146Bは、信号入力端子140Fに接続されている。

【0207】また、147-1、147-mは配線基板126に搭載された同種又は異種のICチップであり、これらICチップ147-1、147-mは、その信号入力端子147-1A、147-mAを信号配線128に接続され、その信号入力端子147-1B、147-mBを信号配線129に接続されている。

【0208】また、ICチップ147-1において、148-1は差動レシーバをなすオペアンプであり、その正相入力端子を信号入力端子147-1Aに接続され、その逆相入力端子を信号入力端子147-1Bに接続さ

れている。

【0209】また、149-1は差動レシーバをなすオペアンプであり、その正相入力端子を信号入力端子147-1Cに接続され、その逆相入力端子を信号入力端子147-1Dに接続されている。

【0210】また、150-1はスリーステイトCMOS差動ドライバ141と同様に構成されたスリーステイトCMOS差動ドライバであり、その正相出力端子を信号入力端子147-1Aに接続され、その逆相出力端子を信号入力端子147-1Bに接続されている。

【0211】また、151-1はスリーステイトCMOS差動ドライバ141と同様に構成されたスリーステイトCMOS差動ドライバであり、その正相出力端子を信号入力端子147-1Cに接続され、その逆相出力端子を信号入力端子147-1Dに接続されている。

【0212】また、ICチップ147-mにおいて、148-mは差動レシーバをなすオペアンプであり、その正相入力端子を信号入力端子147-mAに接続され、その逆相入力端子を信号入力端子147-mBに接続されている。

【0213】また、149-mは差動レシーバをなすオペアンプであり、その正相入力端子を信号入力端子147-mCに接続され、その逆相入力端子を信号入力端子147-mDに接続されている。

【0214】また、150-mはスリーステイトCMOS差動ドライバ141と同様に構成されたスリーステイトCMOS差動ドライバであり、その正相出力端子を信号入力端子147-mAに接続され、その逆相出力端子を信号入力端子147-mBに接続されている。

【0215】また、151-mはスリーステイトCMOS差動ドライバ141と同様に構成されたスリーステイトCMOS差動ドライバであり、その正相出力端子を信号入力端子147-mCに接続され、その逆相出力端子を信号入力端子147-mDに接続されている。

【0216】このように構成された本発明の第6実施形態においては、ICチップ140から発信されるライトイネーブル信号WEが活性状態の下で、送信デジタル信号TS1がLレベルからHレベルに遷移すると、オペアンプ148-1、148-mの正相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがスリーステイトCMOS差動ドライバ141の正相出力端子から信号配線128に供給され、信号配線128上をオペアンプ148-1、148-mに向かって伝送されると共に、オペアンプ148-1、148-mの逆相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがスリーステイトCMOS差動ドライバ141の逆相出力端子から信号配線129に供給され、信号配線129上をオペアンプ148-1、148-mの逆相入力端子に向かって伝送される。

【0217】また、送信デジタル信号TS2がLレベル

からHレベルに遷移すると、オペアンプ149-1、149-mの正相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがスリーステイトCMOS差動ドライバ142の正相出力端子から信号配線132に供給され、信号配線132上をオペアンプ149-1、149-mに向かって伝送されると共に、オペアンプ149-1、149-mの逆相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがスリーステイトCMOS差動ドライバ142の逆相出力端子から信号配線133に供給され、信号配線133上をオペアンプ149-1、149-mの逆相入力端子に向かって伝送される。

【0218】これに対して、送信デジタル信号TS1がHレベルからLレベルに遷移すると、オペアンプ148-1、148-mの正相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがスリーステイトCMOS差動ドライバ141の正相出力端子から信号配線128に供給され、信号配線128上をオペアンプ148-1、148-mに向かって伝送されると共

に、オペアンプ148-1、148-mの逆相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがスリーステイトCMOS差動ドライバ141の逆相出力端子から信号配線129に供給され、信号配線129上をオペアンプ148-1、148-mの逆相入力端子に向かって伝送される。

【0219】また、送信デジタル信号TS2がHレベルからLレベルに遷移すると、オペアンプ149-1、149-mの正相入力端子をHレベルからLレベルに遷移させるための負の信号エネルギーがスリーステイトCMOS差動ドライバ142の正相出力端子から信号配線132に供給され、信号配線132上をオペアンプ149-1、149-mに向かって伝送されると共に、オペアンプ149-1、149-mの逆相入力端子をLレベルからHレベルに遷移させるための正の信号エネルギーがスリーステイトCMOS差動ドライバ142の逆相出力端子から信号配線133に供給され、信号配線133上をオペアンプ149-1、149-mの逆相入力端子に向かって伝送される。

【0220】なお、オペアンプ148-1、148-m、149-1、149-mの入カインピーダンスは、通常、信号配線ペア127、131の特性インピーダンス(20~100Ω)の1000倍以上のハイインピーダンスとなっているので、信号配線ペア127、131を伝送されてくる相補信号エネルギーはオペアンプ148-1、148-m、149-1、149-mでは殆ど吸収されず、そのままのエネルギー状態で終端抵抗130、134に到達し、ここで全エネルギーが熱となって消費される。したがって、相補信号エネルギーの反射は起こらないため、常に良好な波形の相補送信デジタル信号CS1、CS1及び相補送信デジタル信号CS2、

10

20

30

40

50

／CS 2 がそれぞれオペアンプ 1 4 8 - 1、1 4 8 - m 及びオペアンプ 1 4 9 - 1、1 4 9 - m を通過することになる。

【0 2 2 1】また、IC チップ 1 4 0 から発信されるライトイネーブル信号 RE が活性状態で、IC チップ 1 4 0 のオペアンプ 1 4 3、1 4 5 が受信状態になると、IC チップ 1 4 7 - 1 のスリーステイト CMOS 差動ドライバ 1 5 0 - 1、1 5 1 - 1 又は IC チップ 1 4 7 - m のスリーステイト CMOS 差動ドライバ 1 5 0 - m、1 5 1 - m から相補送信デジタル信号が信号配線ペア 1 2 7、1 3 1 に出力され、信号配線ペア 1 2 7、1 3 1 を左右に伝送されることになるが、右方向に伝送される相補送信デジタル信号は、終端抵抗 1 3 0、1 3 4 で吸収され、左方向に伝送される相補送信デジタル信号は、IC チップ 1 4 0 内の終端抵抗部 1 4 4、1 4 6 の抵抗で吸収されるので、相補送信デジタル信号に反射が起こることはなく、オペアンプ 1 4 3、1 4 5 は、常に良好な波形の相補送信デジタル信号を受信することができる。

【0 2 2 2】なお、スリーステイト CMOS 差動ドライバ 1 4 1、1 4 2、1 5 0 - 1、1 5 1 - 1、1 5 0 - m、1 5 1 - m のオン抵抗は、信号配線ペア 1 2 7、1 3 1 の特性インピーダンスの $1/2$ 以下の抵抗であることが好ましい。

【0 2 2 3】このように、本発明の第 6 実施形態においては、IC チップ 1 4 0 から発信されるライトイネーブル信号 WE が活性状態の下で、送信デジタル信号 TS 1、TS 2 が遷移すると、相補信号エネルギーが信号配線 1 2 8、1 2 9 及び信号配線 1 3 2、1 3 3 上をオペアンプ 1 4 8 - 1、1 4 8 - m 及びオペアンプ 1 4 9 - 1、1 4 9 - m に向かって伝送されるが、信号配線 1 2 8、1 2 9 及び信号配線 1 3 2、1 3 3 は、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、信号配線 1 2 8、1 2 9 及び信号配線 1 3 2、1 3 3 を電磁界がほぼ閉じた伝送線路とし、信号配線 1 2 8、1 2 9 及び信号配線 1 3 2、1 3 3 上を伝送される相補信号エネルギーの損失を小さくして TEM 伝送に近いモードで伝送することができる。

【0 2 2 4】また、電源配線 1 3 8 及び接地配線 1 3 9 も、カップリング係数を大とする等長平行配線からなるペア配線構造とされているので、電源・接地配線ペア 1 3 7 を電磁界がほぼ閉じた伝送線路とし、たとえ、電源・接地配線ペア 1 3 7 が長い場合であっても、相補送信デジタル信号 CS 1、／CS 1 及び相補送信デジタル信号 CS 2、／CS 2 をオペアンプ 1 4 8 - 1、1 4 8 - m 及びオペアンプ 1 4 9 - 1、1 4 9 - m に伝送するに必要な、電源電圧入力端子 1 3 5 及び接地電圧入力端子 1 3 6 から電源・接地配線ペア 1 3 7 を介してのスリーステイト CMOS 差動ドライバ 1 4 1、1 4 2 への相補信号エネルギーの伝送を TEM 伝送に近いモードで行うことができる。

【0 2 2 5】しかも、本発明の第 6 実施形態においては、信号配線ペア 1 2 7、1 3 1 の特性インピーダンスを Z_0 、電源・接地配線ペア 1 3 7 の特性インピーダンスを Z_1 とすると、 $Z_1 = Z_0 / 2$ とされ、電源・接地配線ペア 1 3 7 は、特性インピーダンス上、信号配線ペア 1 2 7、1 3 1 に整合するように構成されているので、信号配線ペア 1 2 7、1 3 1 で消費される相補信号エネルギーと、電源電圧入力端子 1 3 5 及び接地電圧入力端子 1 3 6 からスリーステイト CMOS 差動ドライバ 1 4 1、1 4 2 に供給される相補信号エネルギーが整合し、その損失を小さくすることができる。

【0 2 2 6】したがって、本発明の第 6 実施形態によれば、相補送信デジタル信号 CS 1、／CS 1 及び相補送信デジタル信号 CS 2、／CS 2 の波形の変形を実質的になくなり、スリーステイト CMOS 差動ドライバ 1 4 1 及びスリーステイト CMOS 差動ドライバ 1 4 2 からオペアンプ 1 4 8 - 1、1 4 8 - m 及びオペアンプ 1 4 9 - 1、1 4 9 - m への信号配線ペア 1 2 7 及び信号配線ペア 1 3 1 を介しての相補送信デジタル信号 CS 1、／CS 1 及び相補送信デジタル信号 CS 2、／CS 2 の光の速度に近い速度での伝送を行うことができる。

【0 2 2 7】なお、IC チップ 1 4 0 内のスリーステイト CMOS 差動ドライバ 1 4 1、1 4 2 に電源電圧 VDD 及び接地電圧 VSS を供給する電源配線及び接地配線も等長平行配線からなるペア配線構造とすることが好適であり、このように構成する場合には、スリーステイト CMOS 差動ドライバ 1 4 1 及びスリーステイト CMOS 差動ドライバ 1 4 2 からオペアンプ 1 4 8 - 1、1 4 8 - m 及びオペアンプ 1 4 9 - 1、1 4 9 - m への信号配線ペア 1 2 7 及び信号配線ペア 1 3 1 を介しての相補送信デジタル信号 CS 1、／CS 1 及び相補送信デジタル信号 CS 2、／CS 2 の伝送の更なる高速化を図ることができる。

【0 2 2 8】また、本発明の第 6 実施形態によれば、IC チップ 1 4 7 - 1、1 4 7 - m は、差動レシーバとしてオペアンプ 1 4 8 - 1、1 4 9 - 1、1 4 8 - m、1 4 9 - m を設けているが、オペアンプ 1 4 8 - 1、1 4 8 - m は、同相ノイズ及び信号配線 1 2 8、1 2 9 のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号 CS 1、／CS 1 のみに感知し、オペアンプ 1 4 9 - 1、1 4 9 - m は、同相ノイズ及び信号配線 1 3 2、1 3 3 のどちらか一方に乗ったノイズに対しては動作せず、相補送信デジタル信号 CS 2、／CS 2 のみに感知するので、伝送系をノイズマージンが大きい伝送系とすることができる。したがって、信号電圧を低く下げることができる。例えば、現行の回路で最も低い振幅は、0.8 V ~ 1.5 V あたりであるが、0.1 V 程度まで下げることが可能である。これにより、立ち上がり及び立ち下がり勾配を低くでき、高周波信号の伝送を図ることができると共に、省電力を達成することができる。

る。

【0229】第7実施形態・・・図15、図16

図15は本発明の第7実施形態の概念図であり、本発明の第7実施形態は、ICチップ29内に設けられているCMOS差動ドライバ30用の電源配線と接地配線との間にコンデンサ153を接続し、その他については、図1に示す本発明の第1実施形態と同様に構成したものである。

【0230】ここに、例えば、CMOS差動ドライバ30の正相出力端子に出力される正相送信デジタル信号CSの立ち上がり時間が信号配線22の全体をHレベルにするための信号エネルギーを供給する時間（信号配線22の伝送遅延時間）よりも遅い場合には、信号配線22に対する正の信号エネルギーの供給と、CMOS差動レシーバ34に対する信号エネルギーの供給は平行して行われ、CMOS差動レシーバ34に信号配線22の存在を意識させることは、ほぼ無い。

【0231】これに対して、CMOS差動ドライバ30の正相出力端子に出力される正相送信デジタル信号CSの立ち上がり時間が信号配線22の全体をHレベルにするための信号エネルギーを供給する時間よりも早い場合には、正相送信デジタル信号CSがCMOS差動レシーバ34に伝送される前に、CMOS差動ドライバ30から出力される正相送信デジタル信号CSをHレベルにしなければ、正相送信デジタル信号CSの伝送の高速化を図ることができない。

【0232】当然、反対に、正相送信デジタル信号CSをLレベルに遷移させる場合には、高エネルギー状態の信号配線22のエネルギーを高速に逃がす操作が正相送信デジタル信号CSの伝送の高速化を図るために必要となる。

【0233】ここに、良いレシーバとは、微弱な信号エネルギーでも、それを充分関知して、自身の状態を遷移させるものであり、信号立ち上がり時間が信号配線の遅延よりも遅いときは、小さな信号エネルギーの供給で足り、ドライバビリティの小さなドライバ（消費電力の小さなドライバ）が使用できた。

【0234】ところが、信号配線の遅延時間よりも信号の立ち上がり時間が短い高速の信号が出力されることが通常となった現在、レシーバの特性よりも、まず、信号配線への信号エネルギーの供給をどのようにするのがドライバの設計において重要となってきた。

【0235】良いレシーバの特性を見ると、信号の電気エネルギーを消費しない、即ち、入力抵抗の高いものであり、これを、例えば、1KΩであるとする、これに対して、信号配線の特性インピーダンスは25～200Ωである。したがって、信号配線は、レシーバより1桁から2桁ものエネルギーを消費するものとなる。

【0236】ここに、例えば、信号配線の長さを30cm、信号の伝播速度を 2×10^8 m/sとすると、信号

配線の伝搬に要する時間は、1.5nsとなり、レシーバがこの信号配線の中間に存在したとしても、この1.5nsの間は、信号配線に信号エネルギーを供給する時間となり、ドライバは、この間、信号エネルギーを供給し続けなければならない。即ち、ドライバのドライバビリティとして、信号配線の特性インピーダンスを負荷と見なした能力がなければならない。

【0237】ここに、図16はICチップ内の電源配線の電源電圧と、CMOS差動ドライバ30から出力される正相送信デジタル信号CSとの関係を示すタイムチャートであり、図16(A)はコンデンサ153が存在しない場合、図16(B)はコンデンサ153が存在する場合を示しており、実線P1は電源電圧、実線P2は正相送信デジタル信号CSを示している。

【0238】即ち、差動ドライバ30は、基本的にはスイッチ回路であり、そのドライバビリティの源泉は電源・接地配線ペア26となるが、電源・接地配線ペア26の特性インピーダンスZ1が信号配線ペア21の特性インピーダンスZ0よりも大きく、かつ、コンデンサ153が存在していないと、図16(A)に示すように、電源電圧の降下が起き、正相送信デジタル信号CSの立ち上がりは、なだらかになる。

【0239】これに対して、本発明の第7実施形態においては、ICチップ29内に設けられているCMOS差動ドライバ30用の電源配線と接地配線との間にはコンデンサ153が接続されているので、電源・接地配線ペア26の特性インピーダンスZ1が信号配線ペア21の特性インピーダンスZ0よりも大きい場合であっても、コンデンサ153の電荷が信号配線22に供給され、図16(B)に示すように、差動ドライバ30から出力される正相送信デジタル信号CSは、立ち上がり波形の急峻なものとなる。

【0240】ここに、CMOS差動ドライバ30から信号配線22に信号エネルギーが供給される時間、即ち、信号配線22の遅延時間を t_{pd} [s]とし、その間に信号配線22に流れる電流をI [A]とすると、その間に信号配線22に供給される電荷量Q [C]は、 $Q = I t_{\text{pd}}$ [C]となる。そこで、送信デジタル信号CSの振幅（電圧）をV [V]とすると、この電荷量を蓄えるに必要なコンデンサの容量C [F]は、 $C = Q / V$ となる。

【0241】たとえば、CMOS差動ドライバ30のオン抵抗を50Ω、信号配線ペア21の特性インピーダンスを50Ω、信号の振幅を0.1V、信号配線22の遅延時間 t_{pd} を1.5nsとすると、 $I = 1$ mA、 $Q = 1.5$ pC、 $C = 15$ pFとなる。

【0242】ここに、信号配線ペア21をスタック配線構造とした場合において、真空誘電率を ϵ_0 、絶縁基板の誘電率を ϵ_r 、信号配線22、23間への印加電圧をV、信号配線22の面積をA、信号配線22、23間の距離をdとすると、 $Q = \epsilon_r \epsilon_0 V A / d$ が成立する。そ

ここで、 $\epsilon_s = 8.85 \times 10^{-12}$ [F/m]、 $\epsilon_r = 3$ 、 $Q = 1.5 \text{ pC}$ とすると、 $A/d = 0.564 \text{ m}$ となる。また、 $d = 20 \text{ nm}$ とすると、 $A = 1.13 \times 10^{-8} \text{ m}^2$ となり、寸法に直すと、 $A = 0.11 \text{ mm} \times 0.11 \text{ mm}$ となる。

【0243】この寸法は、とても、ICチップ29のアクティブ領域内には埋め込めないが、電源電圧入力端子29Aをなすボンディングパッド及び接地電圧入力端子29Bをなすボンディングパッドの下方に形成することができる。

【0244】このように、本発明の第7実施形態によれば、ICチップ29内に設けられているCMOS差動ドライバ30用の電源配線と接地配線との間にコンデンサ153を接続しているので、送信デジタル信号TSが選移した場合、電源・接地配線ペア26を介してCMOS差動ドライバ30に相補信号エネルギーが供給される前に、コンデンサ153からCMOS差動ドライバ30に相補信号エネルギーを供給することができ、図1に示す本発明の第1実施形態以上に相補送信デジタル信号CS、 \neg CSの伝送の高速化を図ることができる。

【0245】なお、本発明の第7実施形態は、特に、Z1（電源・接地配線ペア62の特性インピーダンス） $>$ Z0（信号配線ペア56の特性インピーダンス）の場合に有効である。

【0246】第8実施形態・・・図17

図17は本発明の第8実施形態の概念図であり、本発明の第8実施形態は、ICチップ48内に設けられているCMOS差動ドライバ49、50用の電源配線と接地配線との間にコンデンサ154を接続し、その他については、図4に示す本発明の第2実施形態と同様に構成したものである。

【0247】本発明の第8実施形態によれば、送信デジタル信号TS1、TS2が選移した場合、電源・接地配線ペア45を介してCMOS差動ドライバ49、50に相補信号エネルギーが供給される前に、コンデンサ154からCMOS差動ドライバ49、50に相補信号エネルギーを供給することができ、図4に示す本発明の第2実施形態以上に相補送信デジタル信号CS1、 \neg CS1及び相補送信デジタル信号CS2、 \neg CS2の伝送の高速化を図ることができる。

【0248】なお、本発明の第8実施形態は、特に、Z1（電源・接地配線ペア45の特性インピーダンス） $>$ Z0（信号配線ペア37、40の特性インピーダンス） \neg 2の場合に有効である。

【0249】第9実施形態・・・図18

図18は本発明の第9実施形態の概念図であり、本発明の第9実施形態は、ICチップ65内に設けられているCMOS差動ドライバ66用の電源配線と接地配線との間にコンデンサ155を接続し、その他については、図7に示す本発明の第3実施形態と同様に構成したもので

ある。

【0250】本発明の第9実施形態によれば、送信デジタル信号TSが選移した場合、電源・接地配線ペア62を介してCMOS差動ドライバ66に相補信号エネルギーが供給される前に、コンデンサ155からCMOS差動ドライバ66に相補信号エネルギーを供給することができ、図7に示す本発明の第3実施形態以上に相補送信デジタル信号CS、 \neg CSの伝送の高速化を図ることができる。

10 【0251】なお、本発明の第9実施形態は、特に、Z1（電源・接地配線ペア62の特性インピーダンス） $>$ Z0（信号配線ペア56の特性インピーダンス）の場合に有効である。

【0252】第10実施形態・・・図19

図19は本発明の第10実施形態の概念図であり、本発明の第10実施形態は、ICチップ84内に設けられているCMOS差動ドライバ85、86用の電源配線と接地配線との間にコンデンサ156を接続し、その他については、図8に示す本発明の第4実施形態と同様に構成したものである。

20 【0253】本発明の第10実施形態によれば、送信デジタル信号TS1、TS2が選移した場合、電源・接地配線ペア81を介してCMOS差動ドライバ85、86に相補信号エネルギーが供給される前に、コンデンサ156からCMOS差動ドライバ85、86に相補信号エネルギーを供給することができ、図8に示す本発明の第4実施形態以上に相補送信デジタル信号CS1、 \neg CS1及び相補送信デジタル信号CS2、 \neg CS2の伝送の高速化を図ることができる。

30 【0254】なお、本発明の第10実施形態は、特に、Z1（電源・接地配線ペア81の特性インピーダンス） $>$ Z0（信号配線ペア71、75の特性インピーダンス） \neg 2の場合に有効である。

【0255】第11実施形態・・・図20

図20は本発明の第11実施形態の概念図であり、本発明の第11実施形態は、ICチップ108内に設けられているスリーステイトCMOS差動ドライバ109用の電源配線と接地配線との間にコンデンサ157を接続し、その他については、図11に示す本発明の第5実施

40 形態と同様に構成したものである。

【0256】本発明の第11実施形態によれば、送信デジタル信号TSが選移した場合、電源・接地配線ペア105を介してスリーステイトCMOS差動ドライバ109に相補信号エネルギーが供給される前に、コンデンサ157からスリーステイトCMOS差動ドライバ109に相補信号エネルギーを供給することができ、図11に示す本発明の第5実施形態以上に相補送信デジタル信号CS、 \neg CSの伝送の高速化を図ることができる。

50 【0257】なお、本発明の第11実施形態は、特に、Z1（電源・接地配線ペア105の特性インピーダン

ス) $> Z_0$ (信号配線ベア 99 の特性インピーダンス) の場合に有効である。

【0258】第 12 実施形態・・・図 21

図 21 は本発明の第 12 実施形態の概念図であり、本発明の第 12 実施形態は、IC チップ 140 内に設けられているスリーステイト CMOS 差動ドライバ 141、142 用の電源配線と接地配線との間にコンデンサ 158 を接続し、その他については、図 14 に示す本発明の第 6 実施形態と同様に構成したものである。

【0259】本発明の第 12 実施形態によれば、送信デジタル信号 TS1、TS2 が遷移した場合、電源・接地配線ベア 137 を介してスリーステイト CMOS 差動ドライバ 141、142 に相補信号エネルギーが供給される前に、コンデンサ 158 からスリーステイト CMOS 差動ドライバ 141、142 に相補信号エネルギーを供給することができ、図 14 に示す本発明の第 6 実施形態以上に相補送信デジタル信号 CS1、/CS1 及び相補送信デジタル信号 CS2、/CS2 の伝送の高速化を図ることができる。

【0260】なお、本発明の第 12 実施形態は、特に、なお、本発明の第 9 実施形態は、特に、 Z_1 (電源・接地配線ベア 137 の特性インピーダンス) $> Z_0$ (信号配線ベア 127、131 の特性インピーダンス) / 2 の場合に有効である。

【0261】なお、第 7 実施形態～第 12 実施形態に示すように、IC チップ内の電源配線と接地配線との間にコンデンサを接続することは、非差動送信デジタル信号を出力するドライバを備える IC チップを搭載している電子装置にも適用することができ、そのようにする場合には、非差動送信デジタル信号を出力するドライバを備える IC チップを搭載している電子装置において、非差動送信デジタル信号の伝送の高速化を図ることができる。

【0262】第 13 実施形態・・・図 22、図 23

図 22 は本発明の第 13 実施形態の概念図であり、本発明の第 13 実施形態は、IC チップ 29 の近傍の電源配線 27 と接地配線 28 との間にコンデンサ 159 を接続し、その他については、図 15 に示す本発明の第 7 実施形態と同様に構成したものである。

【0263】図 23 は本発明の第 13 実施形態を説明するためのタイムチャートであり、図 23 (A) は IC チップ 29 内の CMOS 差動ドライバ 30 用の電源配線にインダクタンスによる電圧降下が存在しない場合の電源電流 (破線 Y1) 及び電圧降下が存在する場合の電源電流 (実線 Y2) を示している。

【0264】また、図 23 (B) は IC チップ 29 内の CMOS 差動ドライバ 30 用の電源配線にインダクタンスによる電圧降下が存在しない場合の電源電圧 (破線 Y3)、IC チップ 29 内にコンデンサ 153 が不在場合において IC チップ 29 内の CMOS 差動ドライバ 30

用の電源配線にインダクタンスによる電圧降下が存在する場合の電源電圧 (実線 Y4)、コンデンサ 153 の容量を 15 pF とした場合に、信号配線 22 にコンデンサ 153 のみから電源電圧を供給した場合のコンデンサ 153 の電圧変化 (実線 Y5)、コンデンサ 153 の容量を 1.5 pF とした場合に、信号配線 22 にコンデンサ 153 のみから電源電圧を供給した場合のコンデンサ 153 の電圧変化 (実線 Y6) を示している。

【0265】但し、本発明の第 7 実施形態で例を挙げたように、信号配線 22 の遅延時間は 1.5 ns、電源電流 I は 1 mA、送信デジタル信号 CS の振幅は 0.1 V とし、送信デジタル信号 TS の立ち上がり時間 t_r は 0.1 ns としている。

【0266】ここに、たとえば、送信デジタル信号 TS が L レベルから H レベルへの遷移を開始し、0.1 ns 後に H レベルとなると、コンデンサ 153 が存在しない場合には、IC チップ 29 内の CMOS 差動ドライバ 30 用の電源配線にインダクタンスによる電圧降下が存在する場合、電源電圧の電圧降下は 0.05 V となるが、コンデンサ 153 が存在すれば、この電源電圧の電圧降下が 0.05 V とならないようにすることができる。

【0267】即ち、例えば、コンデンサ 153 の容量を 15 pF とした場合において、信号配線 22 にコンデンサ 153 のみから電源電圧を供給した場合、送信デジタル信号 TS が L レベルから H レベルに変化を開始した後、1.5 ns が経過したとしても、電源電圧 (コンデンサ 153 の電圧) は、0.081 V に降下するにすぎない。

【0268】これに対して、コンデンサ 153 の容量を 1.5 pF とした場合において、信号配線 22 にコンデンサ 153 のみから電源電圧を供給した場合、送信デジタル信号 TS が L レベルから H レベルに変化を開始した後、1.5 ns が経過した場合には、電源電圧 (コンデンサ 153 の電圧) は、0.013 V に降下してしまうが、送信デジタル信号 TS が H レベルとなった後、0.1 ns 程度の間であれば、電源電圧 (コンデンサ 153 の電圧) の降下を 0.06 V 程度に抑えることができる。

【0269】そこで、IC チップ 29 の近傍の電源配線 27 と接地配線 28 との間に容量をコンデンサ 153 の容量よりも大きくするコンデンサ 159 を接続すれば、コンデンサ 153 の容量を小さくすることができ、しかも、相補送信デジタル信号 CS、/CS の伝送の高速化を図ることができる。本発明の第 13 実施形態は、これを実現したものであり、パッドが微細化した場合においても、パッドの下方にコンデンサ 153 を形成することができる。

【0270】例えば、信号配線 22、23 の遅延時間の 1/10 以下で応答できる距離の電源配線 27 と接地配線 28 との間にコンデンサ 153 の容量の 5 倍以上の容

量を有するコンデンサ 1 5 9 を接続する場合には、コンデンサ 1 5 3 の容量を本発明の第 7 実施形態の場合の容量 (1 5 p F) の $1/10$ である 1.5 p F にしても、相補送信デジタル信号 C S、/ C S の伝送の高速化を図ることができる。

【 0 2 7 1 】 このように、本発明の第 1 3 実施形態によれば、送信デジタル信号 T S が遷移した場合、電源・接地配線ペア 2 6 を介して C M O S 差動ドライバ 3 0 に相補信号エネルギーが供給される前に、コンデンサ 1 5 3 から C M O S 差動ドライバ 3 0 に相補信号エネルギーを供給することができると共に、コンデンサ 1 5 9 からコンデンサ 1 5 3 に相補信号エネルギーを供給することができるので、図 1 5 に示す本発明の第 7 実施形態と同様に相補送信デジタル信号 C S、/ C S の伝送の高速化を図ることができると共に、コンデンサ 1 5 3 の小容量化を図ることができ、 I C チップ 2 9 の微細化に対応することができる。

【 0 2 7 2 】 なお、本発明の第 1 3 実施形態は、特に、Z 1 (電源・接地配線ペア 2 6 の特性インピーダンス) > Z 0 (信号配線ペア 2 1 の特性インピーダンス) の場合に有効である。

【 0 2 7 3 】 第 1 4 実施形態・・・図 2 4

図 2 4 は本発明の第 1 4 実施形態の概念図であり、本発明の第 1 4 実施形態は、 I C チップ 4 8 の近傍の電源配線 4 6 と接地配線 4 7 との間にコンデンサ 1 6 0 を接続し、その他については、図 1 7 に示す本発明の第 8 実施形態と同様に構成したものである。

【 0 2 7 4 】 本発明の第 1 4 実施形態によれば、送信デジタル信号 T S 1、T S 2 が遷移した場合、電源・接地配線ペア 4 5 を介して C M O S 差動ドライバ 4 9、5 0 に相補信号エネルギーが供給される前に、コンデンサ 1 5 4 から C M O S 差動ドライバ 4 9、5 0 に相補信号エネルギーを供給することができると共に、コンデンサ 1 6 0 からコンデンサ 1 5 4 に相補信号エネルギーを供給することができるので、図 1 7 に示す本発明の第 8 実施形態と同様に相補送信デジタル信号 C S 1、/ C S 1 及び相補送信デジタル信号 C S 2、/ C S 2 の伝送の高速化を図ることができると共に、コンデンサ 1 5 4 の小容量化を図ることができ、 I C チップ 4 8 の微細化に対応することができる。

【 0 2 7 5 】 なお、本発明の第 1 4 実施形態は、特に、Z 1 (電源・接地配線ペア 4 5 の特性インピーダンス) > Z 0 (信号配線ペア 3 7、4 0 の特性インピーダンス) / 2 の場合に有効である。

【 0 2 7 6 】 第 1 5 実施形態・・・図 2 5

図 2 5 は本発明の第 1 5 実施形態の概念図であり、本発明の第 1 5 実施形態は、 I C チップ 6 5 の近傍の電源配線 6 3 と接地配線 6 4 との間にコンデンサ 1 6 1 を接続し、その他については、図 1 8 に示す本発明の第 9 実施形態と同様に構成したものである。

【 0 2 7 7 】 本発明の第 1 5 実施形態によれば、送信デジタル信号 T S が遷移した場合、電源・接地配線ペア 6 2 を介して C M O S 差動ドライバ 6 6 に相補信号エネルギーが供給される前に、コンデンサ 1 5 5 から C M O S 差動ドライバ 6 6 に相補信号エネルギーを供給することができると共に、コンデンサ 1 6 1 からコンデンサ 1 5 5 に相補信号エネルギーを供給することができるので、図 1 8 に示す本発明の第 9 実施形態と同様に相補送信デジタル信号 C S、/ C S の伝送の高速化を図ることができると共に、コンデンサ 1 5 5 の小容量化を図ることができ、 I C チップ 6 5 の微細化に対応することができる。

【 0 2 7 8 】 なお、本発明の第 1 5 実施形態は、特に、Z 1 (電源・接地配線ペア 6 2 の特性インピーダンス) > Z 0 (信号配線ペア 5 6 の特性インピーダンス) の場合に有効である。

【 0 2 7 9 】 第 1 6 実施形態・・・図 2 6

図 2 6 は本発明の第 1 6 実施形態の概念図であり、本発明の第 1 6 実施形態は、 I C チップ 8 4 の近傍の電源配線 8 2 と接地配線 8 3 との間にコンデンサ 1 6 2 を接続し、その他については、図 1 9 に示す本発明の第 1 0 実施形態と同様に構成したものである。

【 0 2 8 0 】 本発明の第 1 6 実施形態によれば、送信デジタル信号 T S 1、T S 2 が遷移した場合、電源・接地配線ペア 8 1 を介して C M O S 差動ドライバ 8 5、8 6 に相補信号エネルギーが供給される前に、コンデンサ 1 5 6 から C M O S 差動ドライバ 8 5、8 6 に相補信号エネルギーを供給することができると共に、コンデンサ 1 6 2 からコンデンサ 1 5 6 に相補信号エネルギーを供給することができるので、図 1 9 に示す本発明の第 1 0 実施形態と同様に相補送信デジタル信号 C S 1、/ C S 1 及び相補送信デジタル信号 C S 2、/ C S 2 の伝送の高速化を図ることができると共に、コンデンサ 1 5 6 の小容量化を図ることができ、 I C チップ 8 4 の微細化に対応することができる。

【 0 2 8 1 】 なお、本発明の第 1 6 実施形態は、特に、Z 1 (電源・接地配線ペア 8 1 の特性インピーダンス) > Z 0 (信号配線ペア 7 1、7 5 の特性インピーダンス) / 2 の場合に有効である。

【 0 2 8 2 】 第 1 7 実施形態・・・図 2 7

図 2 7 は本発明の第 1 7 実施形態の概念図であり、本発明の第 1 7 実施形態は、 I C チップ 1 0 8 の近傍の電源配線 1 0 6 と接地配線 1 0 7 との間にコンデンサ 1 6 3 を接続し、その他については、図 2 0 に示す本発明の第 1 1 実施形態と同様に構成したものである。

【 0 2 8 3 】 本発明の第 1 7 実施形態によれば、送信デジタル信号 T S が遷移した場合、電源・接地配線ペア 1 0 5 を介してスリーステイト C M O S 差動ドライバ 1 0 9 に相補信号エネルギーが供給される前に、コンデンサ 1 5 7 からスリーステイト C M O S 差動ドライバ 1 0 9

に相補信号エネルギーを供給することができると共に、コンデンサ 1 6 3 からコンデンサ 1 5 7 に相補信号エネルギーを供給することができるので、図 2 0 に示す本発明の第 1 1 実施形態と同様に相補送信デジタル信号 C S、/ C S の伝送の高速化を図ることができると共に、コンデンサ 1 5 7 の小容量化を図ることができ、I C チップ 1 0 8 の微細化に対応することができる。

【0 2 8 4】なお、本発明の第 1 7 実施形態は、特に、Z 1 (電源・接地配線ペア 1 0 5 の特性インピーダンス) > Z 0 (信号配線ペア 9 9 の特性インピーダンス) の場合に有効である。

【0 2 8 5】第 1 8 実施形態・・・図 2 8

図 2 8 は本発明の第 1 8 実施形態の概念図であり、本発明の第 1 8 実施形態は、I C チップ 1 4 0 の近傍の電源配線 1 3 8 と接地配線 1 3 9 との間にコンデンサ 1 6 4 を接続し、その他については、図 2 1 に示す本発明の第 1 2 実施形態と同様に構成したものである。

【0 2 8 6】本発明の第 1 8 実施形態によれば、送信デジタル信号 T S 1、T S 2 が遷移した場合、電源・接地配線ペア 1 3 7 を介してスリーステイト C M O S 差動ドライバ 1 4 1、1 4 2 に相補信号エネルギーが供給される前に、コンデンサ 1 5 8 からスリーステイト C M O S 差動ドライバ 1 4 1、1 4 2 に相補信号エネルギーを供給することができると共に、コンデンサ 1 6 4 からコンデンサ 1 5 8 に相補信号エネルギーを供給することができるので、図 2 1 に示す本発明の第 1 2 実施形態と同様に相補送信デジタル信号 C S 1、/ C S 1 及び相補送信デジタル信号 C S 2、/ C S 2 の伝送の高速化を図ることができ、コンデンサ 1 5 8 の小容量化を図ることができ、I C チップ 1 4 0 の微細化に対応することができる。

【0 2 8 7】なお、本発明の第 1 8 実施形態は、特に、Z 1 (電源・接地配線ペア 1 3 7 の特性インピーダンス) > Z 0 (信号配線ペア 1 2 7、1 3 1 の特性インピーダンス) / 2 の場合に有効である。

【0 2 8 8】また、第 1 3 実施形態～第 1 8 実施形態に示すように、I C チップ内の電源配線と接地配線との間にコンデンサを接続すると共に、I C チップの近傍の電源配線と接地配線との間にコンデンサを接続することは、非差動送信デジタル信号を出力するドライバを備える I C チップを搭載している電子装置にも適用することができ、そのようにする場合には、非差動送信デジタル信号を出力するドライバを備える I C チップを搭載している電子装置において、非差動送信デジタル信号の伝送の高速化を図ることができる。

【0 2 8 9】また、第 1 実施形態～第 1 8 実施形態において、相補送信デジタル信号を出力する差動ドライバの出力端側に送信デジタル信号の第 3 高調波以上をカットするローパスフィルタを挿入する場合には、送信デジタル信号として波形の良好なデジタル信号を伝送させるこ

とができる。

【0 2 9 0】また、相補送信デジタル信号を出力する差動ドライバの出力端側に送信デジタル信号の第 3 高調波以上をカットするローパスフィルタを挿入すると共に、差動ドライバの電源電圧入力端子側及び接地電圧入力端子側に送信デジタル信号の第 3 高調波以上をカットするローパスフィルタを挿入する場合には、送信デジタル信号として更に波形の良好なデジタル信号を伝送させることができる。

【0 2 9 1】また、送信デジタル信号の第 3 高調波以上をカットするローパスフィルタは、送信デジタル信号の基本周波数成分を通過域とするバンドパスフィルタと、直流成分を通過域とするローパスフィルタとを並列接続して構成しても良い。

【0 2 9 2】また、このようなローパスフィルタは、I C チップの内部に作成しても良いし、配線と I C チップとの間に接続させるようにしても良い。

【0 2 9 3】また、このようなローパスフィルタを設けることは、非差動送信デジタル信号を出力するドライバを備える I C チップを搭載している電子装置にも適用することができ、そのようにする場合には、非差動送信デジタル信号を出力するドライバを備える I C チップを搭載している電子装置において、非差動送信デジタル信号として波形の良好なデジタル信号を伝送させることができる。

【0 2 9 4】第 1 9 実施形態・・・図 2 9 ～図 3 3

図 2 9 及び図 3 0 はそれぞれ本発明の第 1 9 実施形態の概略的平面図及び概略的下面図であり、図 2 9 及び図 3 0 において、1 6 6 は配線基板、1 6 7 は配線基板 1 6 6 の表面、1 6 8 は配線基板 1 6 6 の裏面、1 6 9 ～1 7 2 はスルーホール群である。

【0 2 9 5】また、図 3 1 及び図 3 2 はそれぞれ配線基板 1 6 6 の表面 1 6 7 及び裏面 1 6 8 に形成されている配線の一部分を示す概略的平面図及び概略的下面図であり、図 3 1 において、1 7 3 は配線基板 1 6 6 の表面 1 6 7 の中央部に設定された矩形の C P U 搭載領域であり、図 3 2 において、1 7 4 は配線基板 1 6 6 の裏面 1 6 8 の中央部に設定された矩形の終端抵抗形成領域である。

【0 2 9 6】また、図 3 1、図 3 2 において、1 7 5 は C P U 搭載領域 1 7 3 の辺 1 7 3 A の近傍から配線基板 1 6 6 の表面 1 6 7 側を配線基板 1 6 6 の辺 1 6 6 A に向けて延び、スルーホール群 1 6 9 を介して配線基板 1 6 6 の裏面 1 6 8 側に折り返し、配線基板 1 6 6 の裏面 1 6 8 側を終端抵抗形成領域 1 7 4 に向けて延びるデータ線、アドレス信号線、コントロール信号線及びクロック信号線をなす等長平行配線とされた送信デジタル信号を相補信号化してなる相補送信デジタル信号を伝送する信号配線ペアからなる信号配線群である。

【0 2 9 7】また、1 7 6 は C P U 搭載領域 1 7 3 の辺

173Bの近傍から配線基板166の表面167側を配線基板166の辺166Bに向けて延び、スルーホール群170を介して配線基板166の裏面168側に折り返し、配線基板166の裏面168側を終端抵抗形成領域174に向けて延びるデータ線、アドレス信号線、コントロール信号線及びクロック信号線をなす等長平行配線とされた送信デジタル信号を相補信号化してなる相補送信デジタル信号を伝送する信号配線ペアからなる信号配線群である。

【0298】また、177はCPU搭載領域173の辺173Cの近傍から配線基板166の表面167側を配線基板166の辺166Cに向けて延び、スルーホール群171を介して配線基板166の裏面168側に折り返し、配線基板166の裏面168側を終端抵抗形成領域174に向けて延びるデータ線、アドレス信号線、コントロール信号線及びクロック信号線をなす等長平行配線とされた送信デジタル信号を相補信号化してなる相補送信デジタル信号を伝送する信号配線からなる信号配線群である。

【0299】また、178はCPU搭載領域173の辺173Dの近傍から配線基板166の表面167側を配線基板166の辺166Dに向けて延び、スルーホール群172を介して配線基板166の裏面168側に折り返し、配線基板166の裏面168側を終端抵抗形成領域174に向けて延びるデータ線、アドレス信号線、コントロール信号線及びクロック信号線をなす等長平行配線とされた送信デジタル信号を相補信号化してなる相補送信デジタル信号を伝送する信号配線からなる信号配線群である。

【0300】また、図31において、179、180はCPU用の電源・接地配線ペア、181～184、189～192、197～200、205～208はメモリ用の電源・接地配線ペア、図32において、185～188、193～196、201～204、209～212はメモリ用の電源・接地配線ペア、213、214は入出力チップ用の電源・接地配線ペアである。

【0301】また、図29において、216は配線基板166の表面167のCPU搭載領域173に搭載されたCPUであり、CPU216は、データ入出力端子、アドレス出力端子、コントロール信号出力端子、クロック入力端子、クロック出力端子を信号配線群175～178の信号配線に接続され、電源電圧入力端子及び接地電圧入力端子を電源・接地配線ペア179、180を構成する電源配線及び、接地配線に接続されている。

【0302】また、図29及び図30において、217～224、225～232、233～240、241～248は配線基板166の表面167及び裏面168に搭載された同一品種のメモリである。

【0303】ここに、メモリ217～224は、共に、データ入出力端子、アドレス入力端子、コントロール信

号入力端子、クロック入力端子を信号配線群175の信号配線に接続されている。また、これらメモリ217～224は、それぞれ、その電源電圧入力端子及び接地電圧入力端子を電源・接地配線ペア181～188を構成する電源配線及び接地配線に接続されている。

【0304】また、メモリ225～232は、共に、データ入出力端子、アドレス入力端子、コントロール信号入力端子、クロック入力端子を信号配線群176の信号配線に接続されている。また、これらメモリ225～232は、それぞれ、その電源電圧入力端子及び接地電圧入力端子を電源・接地配線ペア189～196を構成する電源配線及び接地配線に接続されている。

【0305】また、メモリ233～240は、共に、データ入出力端子、アドレス入力端子、コントロール信号入力端子、クロック入力端子を信号配線群177の信号配線に接続されている。また、これらメモリ233～240は、それぞれ、その電源電圧入力端子及び接地電圧入力端子を電源・接地配線ペア197～204を構成する電源配線及び接地配線に接続されている。

【0306】また、メモリ241～248は、共に、データ入出力端子、アドレス入力端子、コントロール信号入力端子、クロック入力端子を信号配線群178の信号配線に接続されている。また、これらメモリ241～248は、それぞれ、その電源電圧入力端子及び接地電圧入力端子を電源・接地配線ペア205～212を構成する電源配線及び接地配線に接続されている。

【0307】また、メモリ217、225、233、241は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0308】また、メモリ218、226、234、242は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0309】また、メモリ219、227、235、243は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0310】また、メモリ220、228、236、244は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0311】また、メモリ221、229、237、245は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0312】また、メモリ222、230、238、246は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0313】また、メモリ223、231、239、247は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0314】また、メモリ224、232、240、248は、それぞれ、信号配線群175、176、177、178のCPU216の信号端子接続端から同一距離に接続されている。

【0315】また、図33は終端抵抗形成領域174を示す概略的平面図であり、図33中、250は信号配線群175の信号配線ペアを終端する終端抵抗群、251は信号配線群176の信号配線ペアを終端する終端抵抗群、252は信号配線群177の信号配線ペアを終端する終端抵抗群、253は信号配線群178の信号配線ペアを終端する終端抵抗群である。

【0316】また、図30において、255は入出力チップ、256はクロック・ジェネレータ、257はPCIポート、258は画像音声ポート、259は信号圧縮伸長チップ、260は通信ポートである。

【0317】このように構成された本発明の第19実施形態によれば、CPU216と、CPU216によりアクセスされる32個のメモリ217~248とを等長平行配線とされた信号配線で接続する必要がある電子装置を構成する必要がある場合において、信号配線を最も短く形成することができる。

【0318】また、信号配線群175、176、177、178を構成する信号配線は、相補送信デジタル信号を伝送する等長平行配線とされた信号配線ペアを構成しているので、信号配線を電磁界がほぼ閉じた伝送線路として機能させることができ、CPU216と、CPU216にアクセスされるメモリとの間の信号伝送に必要な相補信号エネルギーの伝送の高速化を図ることができる。

【0319】また、CPU216及びメモリ217~248に電源・接地配線ペア179、180、181~212のそれぞれは、電源配線及び接地配線を等長平行配線とされているので、CPU216及びメモリ217~248に供給すべき相補信号エネルギーに対して電磁界がほぼ閉じた伝送線路として機能させることができ、CPU216及びメモリ217~248に対する相補信号エネルギーの供給の高速化を図ることができる。

【0320】したがって、本発明の第19実施形態によれば、CPU216と、CPU216によりアクセスされる32個のメモリ217~248とを等長平行配線とされた信号配線で接続する必要がある電子装置を1枚の配線基板166を使用して構成する場合において、CPU216とCPU216にアクセスされるメモリとの間の信号伝送の高速化を図ることができる。

【0321】第20実施形態・・図34

図34は本発明の第20実施形態の要部を示す概略的断

面図であり、本発明の第20実施形態は、配線基板166の裏面168に終端抵抗形成領域174を設けずに、終端抵抗を形成してなる終端抵抗チップ262を配線基板166の裏面168の中央部に搭載し、この終端抵抗チップ262上に入出力チップ255を搭載するようにし、その他については、図29及び図30に示す本発明の第19実施形態と同様に構成したものである。なお、図34中、263~266は半田バンプである。

【0322】本発明の第20実施形態によれば、図29及び図30に示す本発明の第19実施形態と同様に、CPU216と、CPU216によりアクセスされる32個のメモリ217~248とを等長平行配線とされた信号配線で接続する必要がある電子装置を1枚の配線基板166を使用して構成する場合において、CPU216とCPU216にアクセスされるメモリとの間の信号伝送の高速化を図ることができる。

【0323】第21実施形態・・図35、図36

図35及び図36はそれぞれ本発明の第21実施形態の概略的平面図及び概略的下面図であり、本発明の第21実施形態は、電源・接地配線ペアの構成を本発明の第19実施形態と異なる構成とし、その他については、本発明の第19実施形態と同様に構成したものである。

【0324】本発明の第21実施形態においては、配線基板166の表面167側に設けられる電源・接地配線ペア179、181~184、189~192は、電源・接地配線ペア268から分岐するように構成され、電源・接地配線ペア180、197~200、205~208は、電源・接地配線ペア269から分岐するように構成されている。

【0325】これら電源・接地配線ペア268、179、181~184、189~192及び電源・接地配線ペア269、180、197~200、205~208は、スタック配線構造とされている。

【0326】また、配線基板166の裏面168側に設けられる電源・接地配線ペア213、185~188、193~196は、電源・接地配線ペア270から分岐するように構成され、電源・接地配線ペア214、201~204、209~212は、電源・接地配線ペア271から分岐するように構成されている。

【0327】これら電源・接地配線ペア270、213、185~188、193~196及び電源・接地配線ペア271、214、201~204、209~212は、スタック配線構造とされている。

【0328】なお、これら電源・接地配線ペア268、179、181~184、189~192、電源・接地配線ペア269、180、197~200、205~208、電源・接地配線ペア270、213、185~188、193~196及び電源・接地配線ペア271、214、201~204、209~212は、それぞれ、分岐点において特性インピーダンスが整合するよう

に構成されている。

【0329】本発明の第21実施形態によれば、CPU 216と、CPU 216によりアクセスされる32個のメモリ217～248とを等長平行配線とされた信号配線で接続する必要がある電子装置を1枚の配線基板166を使用して構成する場合において、CPU 216とCPU 216にアクセスされるメモリとの間の信号伝送の高速化を図ることができる。

【0330】第22実施形態・・・図37

図37は本発明の第22実施形態の概略的断面図であり、図37中、273、274は配線基板であり、配線基板273は、配線基板274との対向面275を素子搭載面、配線基板274は、配線基板273との対向面276を素子搭載面とされている。

【0331】本発明の第22実施形態においては、配線基板273の素子搭載面275側は、図29に示す本発明の第19実施形態の配線基板166の表面167側と同様の構成とされ、配線基板274の素子搭載面276は、図30に示す本発明の第19実施形態の配線基板166の裏面168側と同様に構成されている。

【0332】即ち、配線基板273の素子搭載面275には、図29に示す本発明の第19実施形態の配線基板166の表面167側に形成されている信号配線群175、176、177、178及び電源・接地配線ペア179、180、181～184、189～192、197～200、205～208が本発明の第19実施形態の場合と同様に形成されている。

【0333】また、配線基板273の素子搭載面275には、図29に示す本発明の第19実施形態の配線基板166の表面167側に搭載されているCPU 216及びメモリ217～220、225～228、233～236、241～244が本発明の第19実施形態の場合と同様に搭載されている。

【0334】また、配線基板274の素子搭載面276には、図30に示す第19実施形態の配線基板166の裏面168側に形成されている信号配線群175、176、177、178及び電源・接地配線ペア185～188、193～196、201～204、209～212、213、214が本発明の第19実施形態の場合と同様に形成されている。

【0335】また、配線基板274の素子搭載面276には、図30に示す第19実施形態の配線基板166の裏面168側に搭載されているメモリ221～224、229～232、237～240、245～248及び入出力チップ255が本発明の第19実施形態の場合と同様に搭載されている。

【0336】そして、配線基板273と配線基板274とは、素子搭載面275と素子搭載面276とを対向させて半田バンプにより接続されており、配線基板274の周辺部には、外部との接続を図る電極が形成されてい

る。なお、277、278は半田バンプの一部を示している。

【0337】本発明の第22実施形態によれば、CPU 216と、CPU 216によりアクセスされる32個のメモリ217～248とを等長平行配線とされた信号配線で接続する必要がある電子装置を1対の配線基板273、274を使用して構成する場合において、CPU 216とCPU 216にアクセスされるメモリとの間の信号伝送の高速化を図ることができる。

【0338】なお、配線基板273の素子搭載面275側を図35に示す本発明の第21実施形態の配線基板166の表面167側と同様に構成し、配線基板274の素子搭載面276を図36に示す本発明の第21実施形態の配線基板166側の裏面168側と同様に構成しても良い。

【0339】第23実施形態・・・図38、図39

図38は本発明の第23実施形態の概略的平面図、図39は図38のX1-X1線に沿った概略的断面図である。図37中、280、281は半導体基板であり、半導体基板280は、半導体基板281との対向面282を素子形成面、半導体基板281は、半導体基板280との対向面283を素子形成面とされている。

【0340】本発明の第23実施形態においては、半導体基板280の素子形成面282側は、図29に示す本発明の第19実施形態の配線基板166の表面167側と同様の構成がウエハプロセスで形成され、半導体基板281の素子形成面283は、図30に示す本発明の第19実施形態の配線基板166の裏面168側と同様の構成がウエハプロセスで形成されている。

【0341】即ち、半導体基板280の素子形成面282には、図29に示す第19実施形態の配線基板166の表面167側に搭載されているCPU 216及びメモリ217～220、225～228、233～236、241～244が本発明の第19実施形態の場合と同様の配置で形成されている。

【0342】また、半導体基板280の素子形成面282には、図29に示す第19実施形態の配線基板166の表面167側に形成されている信号配線群175、176、177、178及び電源・接地配線ペア179、180、181～184、189～192、197～200、205～208が本発明の第19実施形態の場合と同様の配置で形成されている。

【0343】また、半導体基板281の素子形成面283には、図30に示す第19実施形態の配線基板166の裏面168側に搭載されているメモリ221～224、229～232、237～240、245～248及び入出力チップ255が本発明の第19実施形態の場合と同様の配置で形成されている。

【0344】また、半導体基板281の素子形成面283には、図30に示す第19実施形態の配線基板166

の裏面 1 6 8 側に形成されている信号配線群 1 7 5、1 7 6、1 7 7、1 7 8 及び電源・接地配線ペア 1 8 5 ~ 1 8 8、1 9 3 ~ 1 9 6、2 0 1 ~ 2 0 4、2 0 9 ~ 2 1 2、2 1 3、2 1 4 が本発明の第 1 9 実施形態の場合と同様の配置で形成されている。

【0345】そして、半導体基板 2 8 0 と半導体基板 2 8 1 とは、素子形成面 2 8 2 と素子形成面 2 8 3 とを対向させて半田バンプにより接続されており、半導体基板 2 8 1 の周辺部には、外部との接続を図る電極群 2 8 4 が形成されている。なお、2 8 5、2 8 6 は半田バンプの一部を示している。

【0346】本発明の第 2 3 実施形態によれば、CPU 2 1 6 と、CPU 2 1 6 によりアクセスされる 3 2 個のメモリ 2 1 7 ~ 2 4 8 とを等長平行配線とされた信号配線で接続する必要がある電子装置を 1 対の半導体基板 2 8 0、2 8 1 を使用して構成する場合において、CPU 2 1 6 と CPU 2 1 6 にアクセスされるメモリとの間の信号伝送の高速化を図ることができる。

【0347】なお、半導体基板 2 8 0 の素子形成面 2 8 2 側を図 3 5 に示す本発明の第 2 1 実施形態の配線基板 1 6 6 の表面 1 6 7 側と同様の構成をウエハプロセスで形成し、半導体基板 2 8 1 の素子形成面 2 8 3 を図 3 6 に示す本発明の第 2 1 実施形態の配線基板 1 6 6 の裏面 1 6 8 側と同様の構成をウエハプロセスで形成するようにしても良い。

【0348】第 2 4 実施形態・・図 4 0、図 4 1

図 4 0 は本発明の第 2 4 実施形態の要部を示す概略的平面図、図 4 1 は図 4 0 の X 2 - X 2 線に沿った概略的断面図であり、図 4 0、図 4 1 において、2 8 8 は絶縁基板、2 8 9 は等長平行配線とされたカップリング係数を大とする信号配線 2 9 0、2 9 1 からなる相補送信デジタル信号を 1 方向に伝送する信号配線ペアである。

【0349】また、2 9 2 は信号配線 2 9 0 を伝送されてくる正相送信デジタル信号を受信して取り出すための方向性結合器 2 9 3 及び信号配線 2 9 1 を伝送されてくる逆相送信デジタル信号を受信して取り出すための方向性結合器 2 9 4 からなる方向性結合器ペアである。

【0350】また、方向性結合器 2 9 3 において、2 9 5 は信号配線 2 9 0 と平行に形成され、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/4$ とし、信号配線 2 9 0 を伝送されてくる正相送信デジタル信号の基本周波数成分を受信する配線部である。

【0351】また、2 9 6、2 9 7 は配線部 2 9 5 の両端部に信号配線 2 9 0 の電磁界との干渉を避けるために信号配線 2 9 0 と直交する方向に形成された配線部であり、配線部 2 9 7 の先端部 2 9 8 は、配線部 2 9 5 で受信した正相送信デジタル信号を取り出すための正相送信デジタル信号取り出し電極とされている。

【0352】また、方向性結合器 2 9 4 は、方向性結合器 2 9 3 が有する配線部 2 9 5、2 9 6、2 9 7 と対向

する配線部を有していると共に、配線部 2 9 7 に対向する配線部の先端から右側に僅かに延長された配線部 2 9 9 を有している。

【0353】そして、スルーホール 3 0 0 を介して配線部 2 9 9 に接続された逆相送信デジタル信号取り出し電極 3 0 1 が正相送信デジタル信号取り出し電極 2 9 8 と同一面に設けられている。

【0354】なお、方向性結合器 2 9 3 の配線部 2 9 6 の先端及び方向性結合器 2 9 4 の配線部 2 9 6 に対向する配線部の先端は、開放でも良いが、それぞれ、終端抵抗で終端することが好適である。

【0355】このように構成された本発明の第 2 4 実施形態においては、信号配線 2 9 0 を伝送されてくる正相送信デジタル信号の基本周波数成分を方向性結合器 2 9 3 の配線部 2 9 5 で受信し、正相送信デジタル信号取り出し電極 2 9 8 から取り出すことができると共に、信号配線 2 9 1 を伝送されてくる逆相送信デジタル信号の基本周波数成分を方向性結合器 2 9 3 の配線部 2 9 5 と対向する方向性結合器 2 9 4 の配線部で受信し、逆相送信デジタル信号取り出し電極 3 0 1 から取り出すことができる。

【0356】したがって、本発明の第 2 4 実施形態によれば、差動レシーバの正相入力端子及び逆相入力端子をそれぞれ正相送信デジタル信号取り出し電極 2 9 8 及び逆相送信デジタル信号取り出し電極 3 0 1 に接続することにより、信号配線ペア 2 8 9 を 1 方向に伝送される高速相補送信デジタル信号、たとえば、1 GHz 以上の高速相補送信デジタル信号の受信を容易に行うことができる。

【0357】第 2 5 実施形態・・図 4 2、図 4 3

図 4 2 は本発明の第 2 5 実施形態の要部を示す概略的平面図、図 4 3 は図 4 2 の X 3 - X 3 線に沿った概略的断面図であり、図 4 2、図 4 3 において、3 0 2 は絶縁基板、3 0 3 は等長平行配線とされたカップリング係数を大とする信号配線 3 0 4、3 0 5 からなる相補送信デジタル信号を双方向に伝送する信号配線ペアである。

【0358】また、3 0 6 は信号配線 3 0 4 を伝送されてくる正相送信デジタル信号を受信して取り出すための方向性結合器 3 0 7 及び信号配線 3 0 5 を伝送されてくる逆相送信デジタル信号を受信して取り出すための方向性結合器 3 0 8 からなる方向性結合器ペアである。

【0359】また、方向性結合器 3 0 7 において、3 0 9 は信号配線 3 0 4 と平行に形成され、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/4$ とし、信号配線 3 0 4 を伝送されてくる正相送信デジタル信号の基本周波数成分を受信する配線部、3 1 0、3 1 1 は配線部 3 0 9 の両端部に信号配線 3 0 4 の電磁界との干渉を避けるために信号配線 3 0 4 と直交する方向に形成された配線部である。

【0360】そして、配線部 3 1 0 の先端部 3 1 2 は、

左方向に伝送されてくる正相送信デジタル信号を取り出すための正相送信デジタル信号取り出し電極とされ、配線部 3 1 1 の先端部 3 1 3 は、右方向に伝送されてくる正相送信デジタル信号を取り出すための正相送信デジタル信号取り出し電極とされている。

【 0 3 6 1 】 また、方向性結合器 3 0 8 は、方向性結合器 3 0 7 が有する配線部 3 0 9、3 1 0、3 1 1 と対向する配線部を有すると共に、配線部 3 1 0 に対向する配線部の先端から左側に僅かに延長された配線部 3 1 4 及び配線部 3 1 1 に対向する配線部から右側に僅かに延長された配線部 3 1 5 を有している。

【 0 3 6 2 】 そして、スルーホール 3 1 6 を介して配線部 3 1 4 に接続された逆相送信デジタル信号取り出し電極 3 1 7 が正相送信デジタル信号取り出し電極 3 1 2 と同一面に設けられていると共に、スルーホール 3 1 8 を介して配線部 3 1 5 に接続された逆相送信デジタル信号取り出し電極 3 1 9 が正相送信デジタル信号取り出し電極 3 1 3 と同一面に設けられている。なお、図示は省略するが、方向性結合器 3 0 7、3 0 8 には受端終端抵抗が接続されている。

【 0 3 6 3 】 このように構成された本発明の第 2 5 実施形態によれば、信号配線 3 0 4 を左方向に伝送されてくる正相送信デジタル信号の基本周波数成分を方向性結合器 3 0 7 の配線部 3 0 9 で受信し、正相送信デジタル信号取り出し電極 3 1 2 から取り出すことができると共に、信号配線 3 0 5 を左方向に伝送されてくる逆相送信デジタル信号の基本周波数成分を方向性結合器 3 0 7 の配線部 3 0 9 と対向する方向性結合器 3 0 8 の配線部で受信し、逆相送信デジタル信号取り出し電極 3 1 7 から取り出すことができる。

【 0 3 6 4 】 また、信号配線 3 0 4 を右方向に伝送されてくる正相送信デジタル信号の基本周波数成分を方向性結合器 3 0 7 の配線部 3 0 9 で受信し、正相送信デジタル信号取り出し電極 3 1 3 から取り出すことができると共に、信号配線 3 0 5 を右方向に伝送されてくる逆相送信デジタル信号の基本周波数成分を方向性結合器 3 0 7 の配線部 3 0 9 と対向する方向性結合器 3 0 8 の配線部で受信し、逆相送信デジタル信号取り出し電極 3 1 9 から取り出すことができる。

【 0 3 6 5 】 したがって、本発明の第 2 5 実施形態によれば、差動レシーバの正相入力端子を正相送信デジタル信号取り出し電極 3 1 2、3 1 3 に接続すると共に、差動レシーバの逆相入力端子を逆相送信デジタル信号取り出し電極 3 1 7、3 1 9 に接続することにより、信号配線ペア 3 0 3 を双方向に伝送される高速相補送信デジタル信号、たとえば、1 GHz 以上の高速相補送信デジタル信号の受信を容易に行うことができる。

【 0 3 6 6 】 第 2 6 実施形態・・・図 4 4、図 4 5

図 4 4 は本発明の第 2 6 実施形態の要部を示す概略的平面図、図 4 5 は図 4 4 の X 4 - X 4 線に沿った概略的断

面図であり、図 4 4、図 4 5 において、3 2 0 は絶縁基板、3 2 1 は等長平行配線とされたカップリング係数を大とする信号配線 3 2 2、3 2 3 からなる相補送信デジタル信号を双方向に伝送する信号配線ペアである。

【 0 3 6 7 】 また、3 2 4 は信号配線 3 2 2 を伝送されてくる正相送信デジタル信号を受信して取り出すための方向性結合器 3 2 5 及び信号配線 3 2 3 を伝送されてくる逆相送信デジタル信号を受信して取り出すための方向性結合器 3 2 6 からなる方向性結合器ペアである。

【 0 3 6 8 】 また、方向性結合器 3 2 5 において、3 2 7 は信号配線 3 2 2 と平行に形成され、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/4$ とし、信号配線 3 2 2 を伝送されてくる正相送信デジタル信号の基本周波数成分を受信する配線部である。

【 0 3 6 9 】 また、3 2 8、3 2 9 は信号配線 3 2 2 と平行に形成され、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/12$ とし、信号配線 3 2 2 を伝送されてくる正相送信デジタル信号の第 2 高調波を受信する配線部である。

【 0 3 7 0 】 また、3 3 0、3 3 1 は信号配線 3 2 2 と平行に形成され、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/20$ とし、信号配線 3 2 2 を左方向に伝送されてくる正相送信デジタル信号の第 3 高調波を受信する配線部である。

【 0 3 7 1 】 また、3 3 2、3 3 3 は配線部 3 2 7 の両端部に信号配線 3 2 2 の電磁界との干渉を避けるために信号配線 3 2 2 と直交する方向に形成された配線部であり、配線部 3 3 2 の先端部 3 3 4 は、左方向に伝送されてくる正相送信デジタル信号を取り出すための正相送信デジタル信号取り出し電極とされていると共に、配線部 3 3 3 の先端部 3 3 5 は、右方向に伝送されてくる正相送信デジタル信号を取り出すための正相送信デジタル信号取り出し電極とされている。

【 0 3 7 2 】 また、方向性結合器 3 2 6 は、方向性結合器 3 2 5 が有する配線部 3 2 7、3 2 8、3 2 9、3 3 0、3 3 1、3 3 2、3 3 3 と対向する配線部を有すると共に、配線部 3 3 2 に対向する配線部の先端から左側に僅かに延長された配線部 3 3 6 及び配線部 3 3 3 に対向する配線部から右側に僅かに延長された配線部 3 3 7 を有している。

【 0 3 7 3 】 そして、スルーホール 3 3 8 を介して配線部 3 3 6 に接続された逆相送信デジタル信号取り出し電極 3 3 9 が正相送信デジタル信号取り出し電極 3 3 4 と同一面に設けられていると共に、スルーホール 3 4 0 を介して配線部 3 3 7 に接続された逆相送信デジタル信号取り出し電極 3 4 1 が正相送信デジタル信号取り出し電極 3 3 5 と同一面に設けられている。なお、図示は省略するが、方向性結合器 3 2 5、3 2 6 には受端終端抵抗が接続されている。

【 0 3 7 4 】 このように構成された本発明の第 2 6 実施

形態においては、信号配線 3 2 2 を左方向に伝送されてくる正相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波をそれぞれ方向性結合器 3 2 5 の配線部 3 2 7、3 2 8、3 3 0 で受信し、正相送信デジタル信号取り出し電極 3 3 4 から取り出すことができると共に、信号配線 3 2 3 を左方向に伝送されてくる逆相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波を方向性結合器 3 2 5 の配線部 3 2 7、3 2 8、3 3 0 と対向する方向性結合器 3 2 6 の配線部で受信し、逆相送信デジタル信号取り出し電極 3 3 9 から取り出すことができる。

【0375】また、信号配線 3 2 2 を右方向に伝送されてくる正相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波をそれぞれ方向性結合器 3 2 5 の配線部 3 2 7、3 2 9、3 3 1 で受信し、正相送信デジタル信号取り出し電極 3 3 5 から取り出すことができると共に、信号配線 3 2 3 を右方向に伝送されてくる逆相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波を方向性結合器 3 2 5 の配線部 3 2 7、3 2 9、3 3 1 と対向する方向性結合器 3 2 6 の配線部で受信し、逆相送信デジタル信号取り出し電極 3 4 1 から取り出すことができる。

【0376】したがって、本発明の第 2 6 実施形態によれば、差動レシーバの正相入力端子を正相送信デジタル信号取り出し電極 3 3 4、3 3 5 に接続すると共に、差動レシーバの逆相入力端子を逆相送信デジタル信号取り出し電極 3 3 9、3 4 1 に接続することにより、信号配線ペア 3 2 1 を双方向に伝送される高速相補送信デジタル信号、たとえば、1 GHz 以上の高速相補送信デジタル信号の受信を容易に行うことができる。

【0377】第 2 7 実施形態・・図 4 6、図 4 7

図 4 6 は本発明の第 2 7 実施形態の要部を示す概略的平面図、図 4 7 は図 4 6 の X 5 - X 5 線に沿った概略的断面図であり、図 4 6、図 4 7 において、3 4 3 は絶縁基板、3 4 4 は等長平行配線とされたカップリング係数を大とする信号配線 3 4 5、3 4 6 からなる相補送信デジタル信号を双方向に伝送する信号配線ペアである。

【0378】また、3 4 7 は信号配線 3 4 5 を伝送されてくる正相送信デジタル信号を受信して取り出すための方向性結合器 3 4 8 及び信号配線 3 4 6 を伝送されてくる逆相送信デジタル信号を受信して取り出すための方向性結合器 3 4 9 からなる方向性結合器ペアである。

【0379】また、方向性結合器 3 4 8 において、3 5 0 は信号配線 3 4 5 と平行とされ、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/4$ とし、信号配線 3 4 5 を伝送されてくる正相送信デジタル信号の基本周波数成分を受信する配線部である。

【0380】また、3 5 1、3 5 2 は信号配線 3 4 5 と平行とされ、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/12$ とし、信号配線 3 4 5 を伝送されて

くる正相送信デジタル信号の第 2 高調波を受信する配線部である。

【0381】また、3 5 3、3 5 4 は信号配線 3 4 5 と平行とされ、長さを送信デジタル信号の基本周波数成分の波長 λ の $1/20$ とし、信号配線 3 4 5 を伝送されてくる正相送信デジタル信号の第 3 高調波を受信する配線部である。なお、本発明の第 2 7 実施形態においては、配線部 3 5 0、3 5 1、3 5 2、3 5 3、3 5 4 は一体として構成されている。

10 【0382】また、3 5 5、3 5 6 は配線部 3 5 0 の両端部に信号配線 3 4 5 の電磁界との干渉を避けるために信号配線 3 4 5 と直交する方向に形成された配線部であり、配線部 3 5 5 の先端部 3 5 7 は、左方向に伝送されてくる正相送信デジタル信号を取り出すための正相送信デジタル信号取り出し電極とされていると共に、配線部 3 5 6 の先端部 3 5 8 は、右方向に伝送されてくる正相送信デジタル信号取り出し電極とされている。

20 【0383】また、方向性結合器 3 4 9 は、方向性結合器 3 4 8 が有する配線部 3 5 0、3 5 1、3 5 2、3 5 3、3 5 4、3 5 5、3 5 6 と対向する配線部を有していると共に、配線部 3 5 5 に対向する配線部の先端から左側に僅かに延長された配線部 3 5 9 及び配線部 3 5 6 に対向する配線部から右側に僅かに延長された配線部 3 6 0 を有している。

30 【0384】そして、スルーホール 3 6 1 を介して配線部 3 5 9 に接続された逆相送信デジタル信号取り出し電極 3 6 2 が正相送信デジタル信号取り出し電極 3 5 7 と同一面に設けられていると共に、スルーホール 3 6 3 を介して配線部 3 6 0 に接続された逆相送信デジタル信号取り出し電極 3 6 4 が正相送信デジタル信号取り出し電極 3 5 8 と同一面に設けられている。なお、図示は省略するが、方向性結合器 3 4 8、3 4 9 には受端終端抵抗が接続されている。

40 【0385】このように構成された本発明の第 2 7 実施形態においては、信号配線 3 4 5 を左方向に伝送されてくる正相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波をそれぞれ方向性結合器 3 4 8 の配線部 3 5 0、3 5 1、3 5 3 で受信し、正相送信デジタル信号取り出し電極 3 5 7 から取り出すことができると共に、信号配線 3 4 6 を左方向に伝送されてくる逆相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波を方向性結合器 3 4 8 の配線部 3 5 0、3 5 1、3 5 3 と対向する方向性結合器 3 4 9 の配線部で受信し、逆相送信デジタル信号取り出し電極 3 6 2 から取り出すことができる。

50 【0386】また、信号配線 3 4 5 を右方向に伝送されてくる正相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波をそれぞれ方向性結合器 3 4 8 の配線部 3 5 0、3 5 2、3 5 4 で受信し、正相送信デジタル信号取り出し電極 3 5 8 から取り出すことができると共

に、信号配線 3 4 6 を右方向に伝送されてくる逆相送信デジタル信号の基本周波数成分、第 2 高調波、第 3 高調波を方向性結合器 3 4 8 の配線部 3 5 0、3 5 2、3 5 4 と対向する方向性結合器 3 4 9 の配線部で受信し、逆相送信デジタル信号取り出し電極 3 6 4 から取り出すことができる。

【0 3 8 7】したがって、本発明の第 2 7 実施形態によれば、差動レシーバの正相入力端子を正相送信デジタル信号取り出し電極 3 5 7、3 5 8 に接続すると共に、差動レシーバの逆相入力端子を逆相送信デジタル信号取り出し電極 3 6 2、3 6 4 に接続することにより、信号配線ペア 3 4 4 を双方向に伝送される高速相補送信デジタル信号、たとえば、1 GHz 以上の高速相補送信デジタル信号の受信を容易に行うことができる。

【0 3 8 8】

【発明の効果】以上のように、本発明中、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 1 0、第 1 1 又は第 1 2 の発明によれば、差動ドライバから出力される相補送信デジタル信号を信号配線ペアを使用して伝送する伝送回路を有する電子装置に関し、信号伝送の高速化を図ることができる。

【0 3 8 9】また、本発明中、第 1 3、第 1 4、第 1 5 又は第 1 6 の発明によれば、ドライバから出力される非差動送信デジタル信号を信号配線ペアを使用して伝送する伝送回路を有する電子装置に関し、信号伝送の高速化を図ることができる。

【0 3 9 0】また、本発明中、第 1 7 又は第 1 8 の発明によれば、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 1 0、第 1 1、第 1 2、第 1 3、第 1 4、第 1 5 又は第 1 6 の発明と同様の効果を得ることができると共に、送信デジタル信号として波形の良好な信号を伝送することができる。

【0 3 9 1】また、本発明中、第 1 9 の発明によれば、第 1、第 2、第 3、第 4、第 5、第 6、第 7、第 8、第 9、第 1 0、第 1 1、第 1 2、第 1 3、第 1 4、第 1 5、第 1 6、第 1 7 又は第 1 8 の発明と同様の効果を得ることができると共に、信号配線を伝送させてくる高速送信デジタル信号の受信を容易に行うことができる。

【0 3 9 2】また、本発明中、第 2 0、第 2 1、第 2 2、第 2 3 又は第 2 4 の発明によれば、CPU と、CPU によりアクセスされる多数のメモリとを等長平行配線とされた信号配線で接続する必要がある電子装置に関し、CPU とメモリとの間の信号伝送の高速化を図ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態の概念図である。

【図 2】本発明の第 1 実施形態が備える信号配線ペア及び電源・接地配線ペアの第 1 構成例を示す概略的断面図である。

【図 3】本発明の第 1 実施形態が備える信号配線ペア及

び電源・接地配線ペアの第 2 構成例を示す概略的断面図である。

【図 4】本発明の第 2 実施形態の概念図である。

【図 5】本発明の第 2 実施形態が備える信号配線ペア及び電源・接地配線ペアの第 1 構成例を示す概略的断面図である。

【図 6】本発明の第 2 実施形態が備える信号配線ペア及び電源・接地配線ペアの第 2 構成例を示す概略的断面図である。

【図 7】本発明の第 3 実施形態の概念図である。

【図 8】本発明の第 4 実施形態の概念図である。

【図 9】本発明の第 4 実施形態が備える信号配線ペアをコプレーナ配線構造とした場合の IC チップ搭載領域の構成例を示す概略的平面図である。

【図 1 0】本発明の第 4 実施形態が備える信号配線ペアをスタック配線構造とした場合の IC チップ搭載領域の一部分の構成例を示す概略的斜視図である。

【図 1 1】本発明の第 5 実施形態の概念図である。

【図 1 2】本発明の第 5 実施形態が備えるスリーステート CMOS 差動ドライバの構成を示す回路図である。

【図 1 3】本発明の第 5 実施形態が備える終端抵抗部の構成を示す回路図である。

【図 1 4】本発明の第 6 実施形態の概念図である。

【図 1 5】本発明の第 7 実施形態の概念図である。

【図 1 6】本発明の第 7 実施形態の動作を説明するための波形図である。

【図 1 7】本発明の第 8 実施形態の概念図である。

【図 1 8】本発明の第 9 実施形態の概念図である。

【図 1 9】本発明の第 1 0 実施形態の概念図である。

【図 2 0】本発明の第 1 1 実施形態の概念図である。

【図 2 1】本発明の第 1 2 実施形態の概念図である。

【図 2 2】本発明の第 1 3 実施形態の概念図である。

【図 2 3】本発明の第 1 3 実施形態の動作を説明するためのタイムチャートである。

【図 2 4】本発明の第 1 4 実施形態の概念図である。

【図 2 5】本発明の第 1 5 実施形態の概念図である。

【図 2 6】本発明の第 1 6 実施形態の概念図である。

【図 2 7】本発明の第 1 7 実施形態の概念図である。

【図 2 8】本発明の第 1 8 実施形態の概念図である。

【図 2 9】本発明の第 1 9 実施形態の概略的平面図である。

【図 3 0】本発明の第 1 9 実施形態の概略的下面図である。

【図 3 1】本発明の第 1 9 実施形態が備える配線基板に形成されている配線の一部分を示す概略的平面図である。

【図 3 2】本発明の第 1 9 実施形態が備える配線基板に形成されている配線の一部分を示す概略的下面図である。

【図 3 3】本発明の第 1 9 実施形態が備える配線基板に

設けられている終端抵抗形成領域を示す概略的下面図である。

【図 3 4】本発明の第 2 0 実施形態の要部を示す概略的断面図である。

【図 3 5】本発明の第 2 1 実施形態の概略的平面図である。

【図 3 6】本発明の第 2 1 実施形態の概略的下面図である。

【図 3 7】本発明の第 2 2 実施形態の概略的断面図である。

【図 3 8】本発明の第 2 3 実施形態の概略的平面図である。

【図 3 9】図 3 8 の X 1 - X 1 線に沿った概略的断面図である。

【図 4 0】本発明の第 2 4 実施形態の要部を示す概略的平面図である。

【図 4 1】図 4 0 の X 2 - X 2 線に沿った概略的断面図である。

【図 4 2】本発明の第 2 5 実施形態の要部を示す概略的平面図である。

【図 4 3】図 4 2 の X 3 - X 3 線に沿った概略的断面図である。

【図 4 4】本発明の第 2 6 実施形態の要部を示す概略的平面図である。

【図 4 5】図 4 4 の X 4 - X 4 線に沿った概略的断面図である。

【図 4 6】本発明の第 2 7 実施形態の要部を示す概略的平面図である。

【図 4 7】図 4 6 の X 5 - X 5 線に沿った概略的断面図である。

【図 4 8】従来の電子装置の一例を示す回路図である。

【符号の説明】

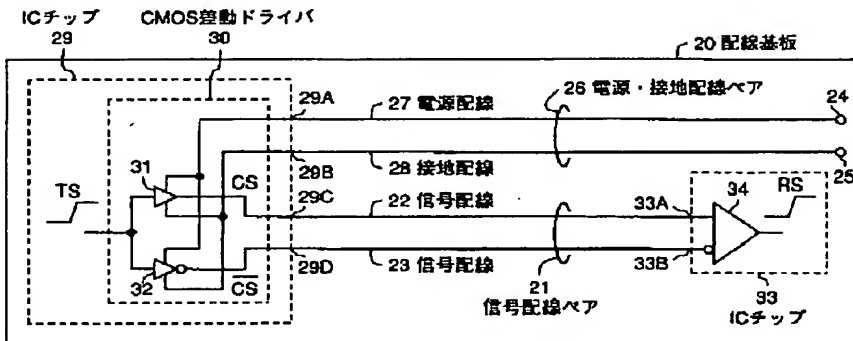
T S 送信デジタル信号

C S、/ C S 相補送信デジタル信号

R S 受信デジタル信号

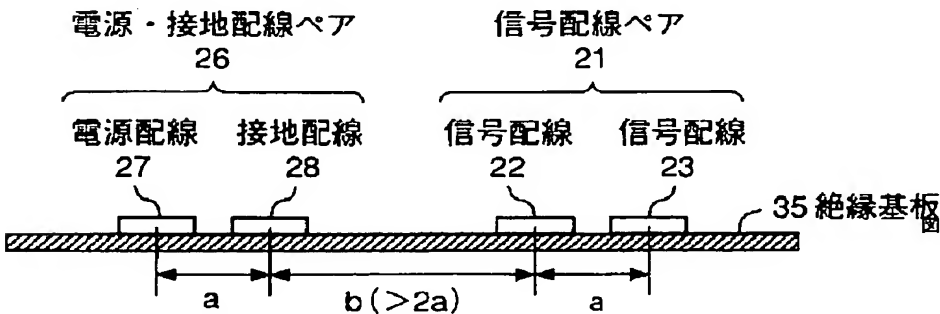
【図 1】

本発明の第 1 実施形態の概念図



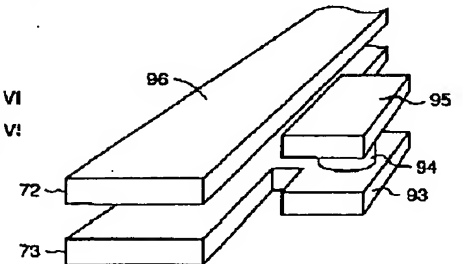
【図 2】

信号配線ペア 2 1 及び電源・接地配線ペア 2 6 の第 1 構成例を示す概略的断面図



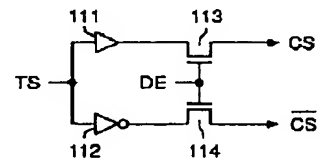
【図 1 0】

信号配線ペア 7 1、7 5 を図 6 に示すと同様にスタック配線構造とした場合の IC チップ搭載領域の一部分の構成例を示す概略的斜視図



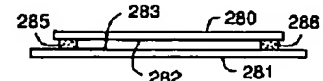
【図 1 2】

スリーステート CMOS 差動ドライバ 1 0 9 の構成を示す回路図



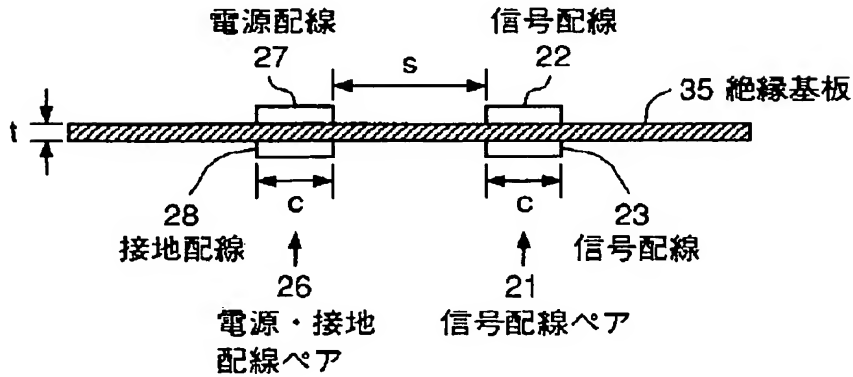
【図 3 9】

図 3 8 の X 1 - X 1 線に沿った概略的断面図



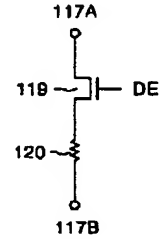
【 図 3 】

信号配線ペア 2 1 及び電源・接地配線ペア 2 6
の第 2 構成例を示す概略的断面図



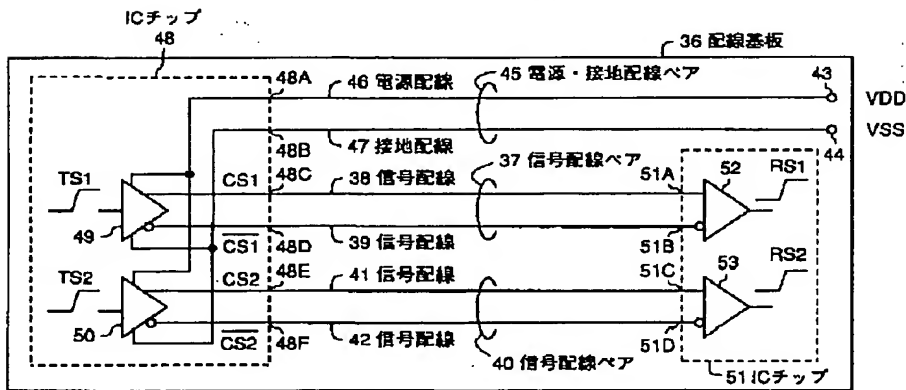
【 図 1 3 】

終端抵抗部 1 1 7 の構成を示す回路図



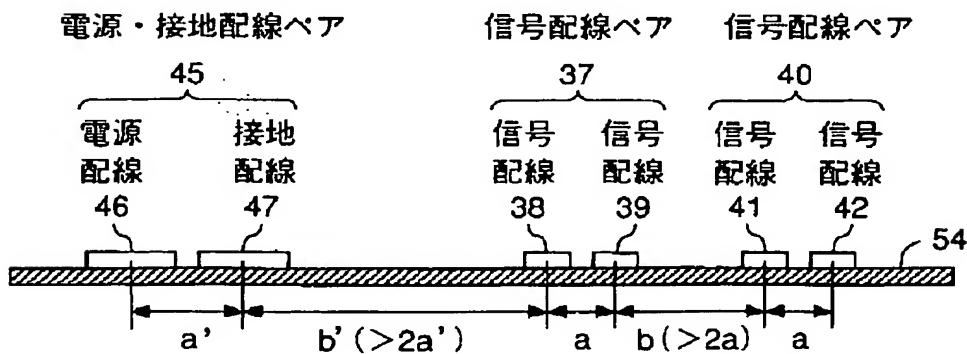
【 図 4 】

本発明の第 2 実施形態の概念図



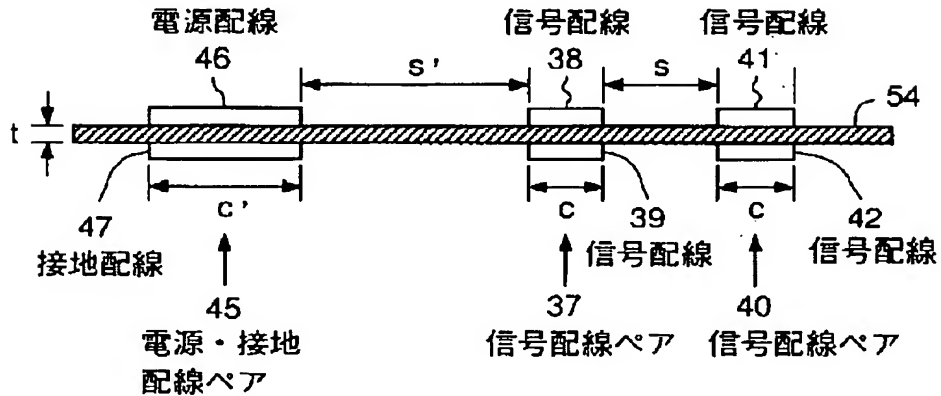
【 図 5 】

信号配線ペア 3 7、4 0 及び電源・接地配線ペア 4 5
の第 1 構成例を示す概略的断面図



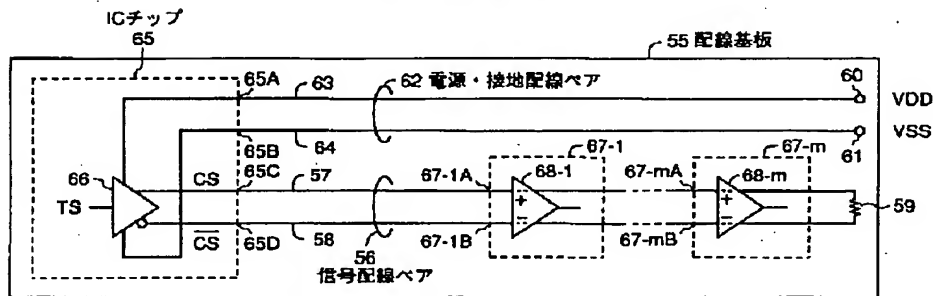
【図 6】

信号配線ペア 37、40 及び電源・接地配線ペア 45
の第 2 構成例を示す概略的断面図



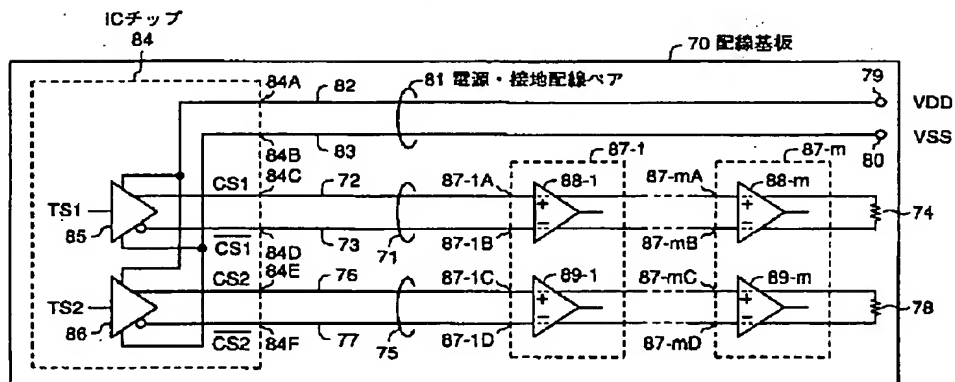
【図 7】

本発明の第 3 実施形態の概念図



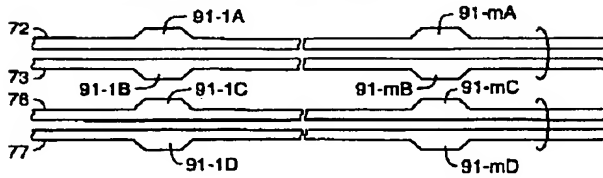
【図 8】

本発明の第 4 実施形態の概念図



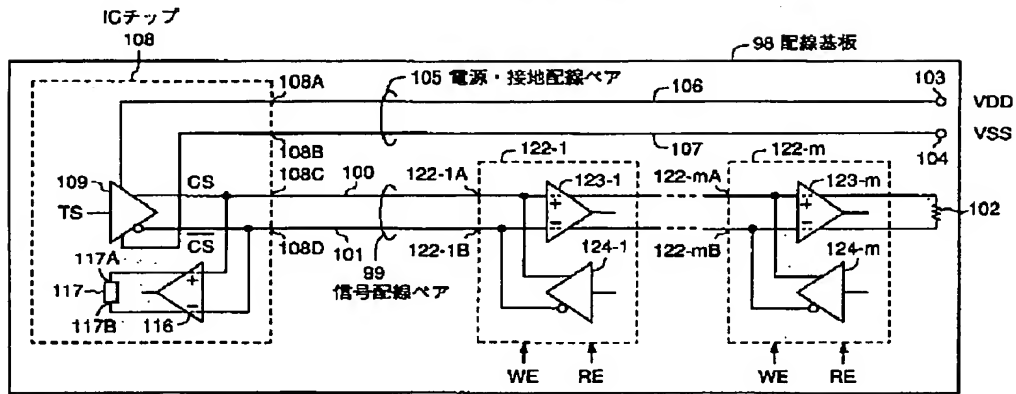
【 図 9 】

信号配線ペア 71、75 を図 5 に示すと同様に
コプレーナ配線構造とした場合の IC チップ搭載
領域の構成例を示す概略的平面図



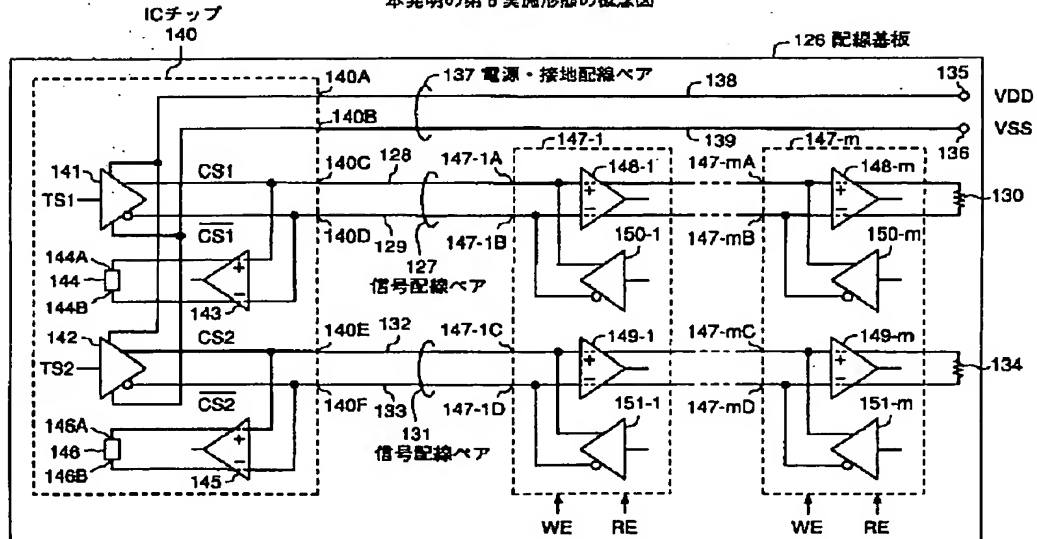
【 図 1 1 】

本発明の第 5 実施形態の概念図



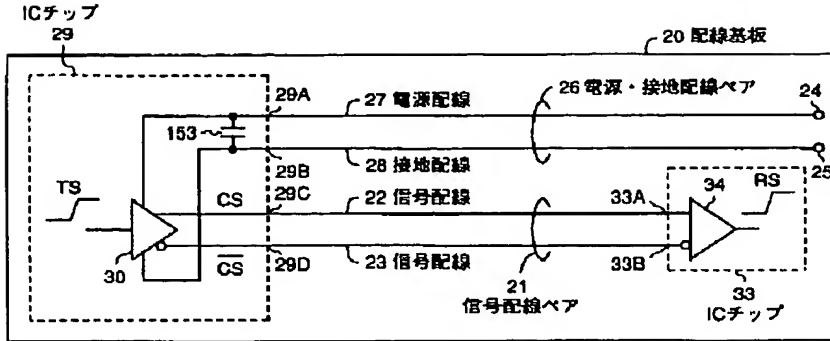
【 図 1 4 】

本発明の第 6 実施形態の概念図



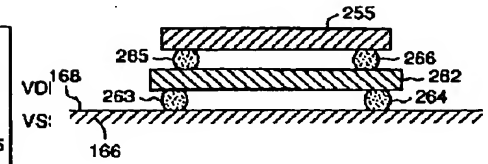
【 図 1 5 】

本発明の第 7 実施形態の概念図



【 図 3 4 】

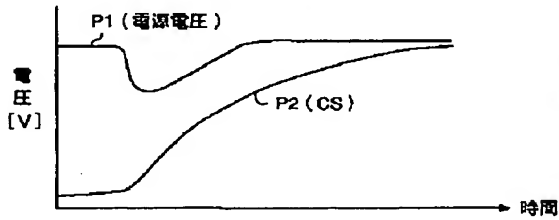
本発明の第 2 0 実施形態の要部を示す概略的断面図



【 図 1 6 】

本発明の第 7 実施形態の動作を説明するための波形図

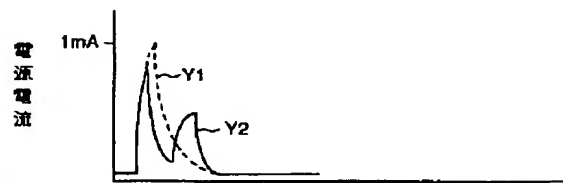
(A) コンデンサ 1 5 3 が存在しない場合



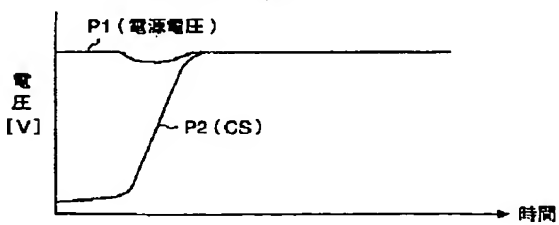
【 図 2 3 】

本発明の第 1 3 実施形態の動作を説明するためのタイムチャート

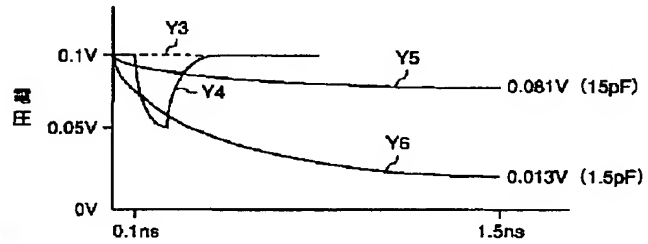
(A)



(B) コンデンサ 1 5 3 が存在する場合

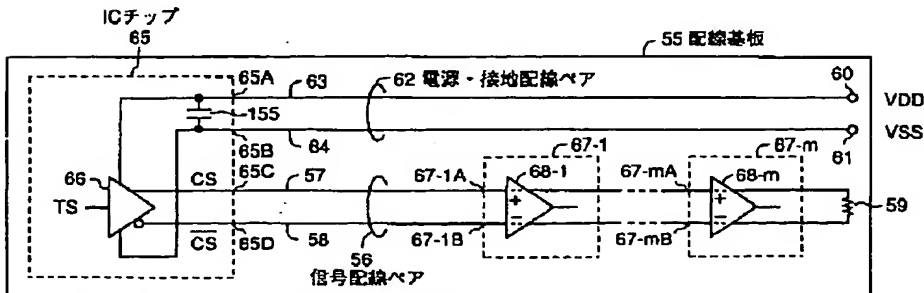


(B)



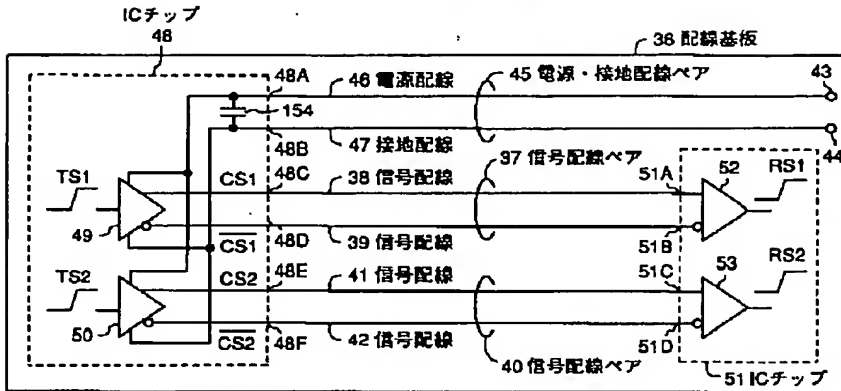
【 図 1 8 】

本発明の第 9 実施形態の概念図



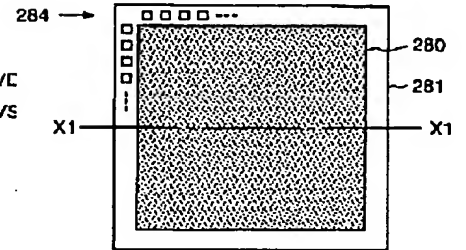
【 図 1 7 】

本発明の第 8 実施形態の概念図



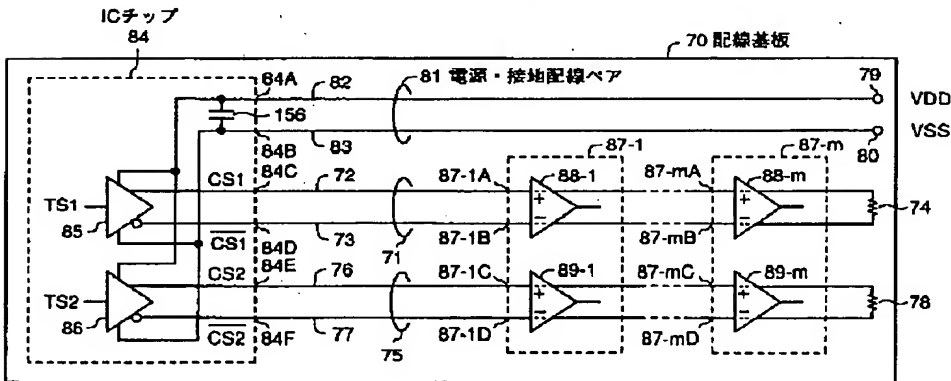
【 図 3 8 】

本発明の第 2 3 実施形態の概略的平面図



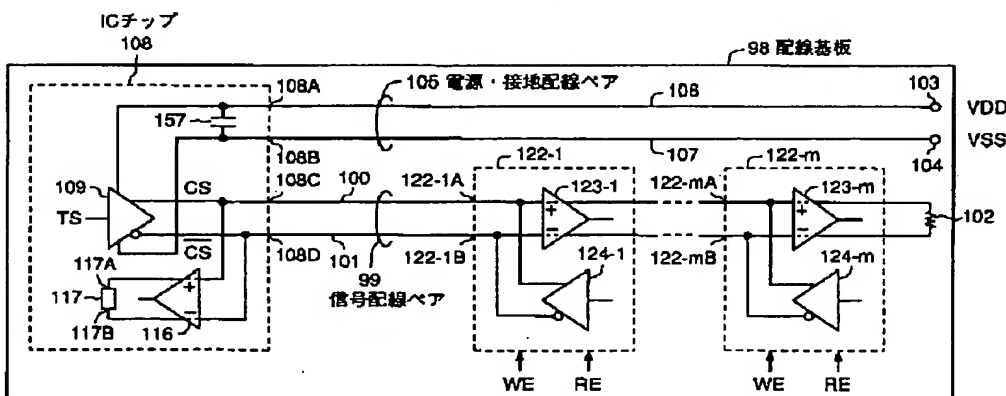
【 図 1 9 】

本発明の第 1 0 実施形態の概念図



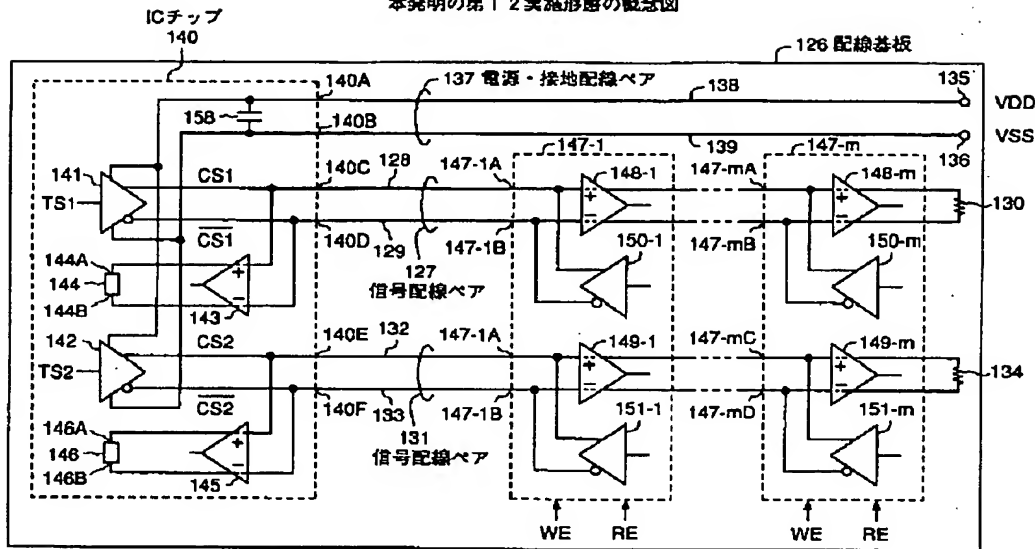
【 図 2 0 】

本発明の第 1 1 実施形態の概念図



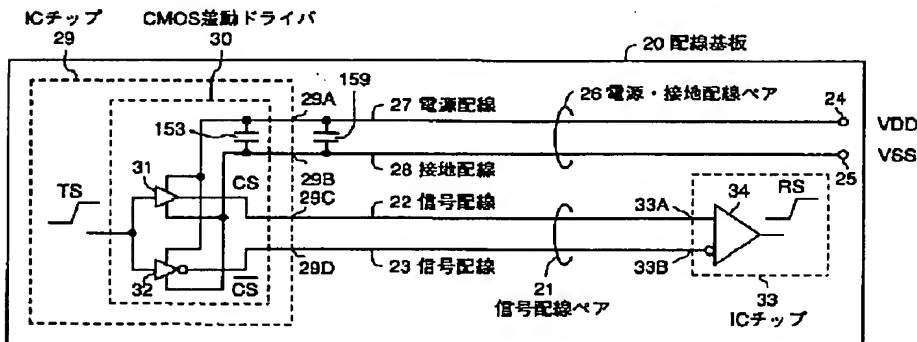
【 図 2 1 】

本発明の第 1 2 実施形態の概念図



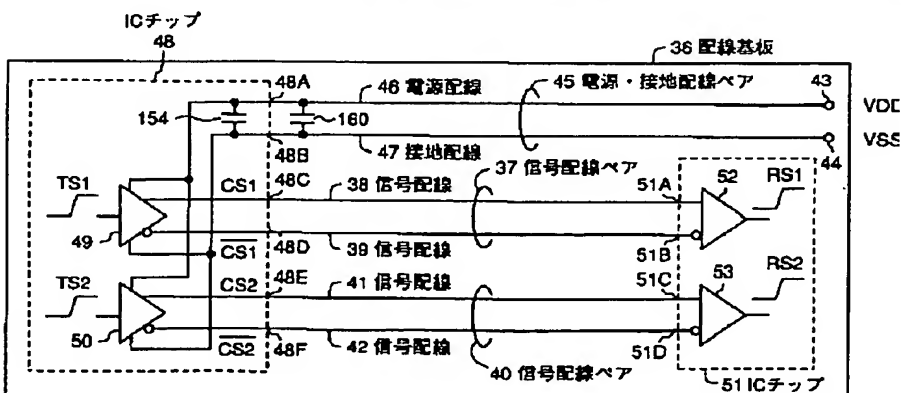
【 図 2 2 】

本発明の第 1 3 実施形態の概念図



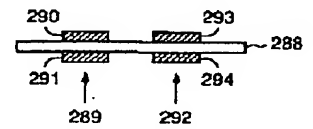
【 図 2 4 】

本発明の第 1 4 実施形態の概念図



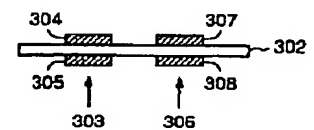
【 図 4 1 】

図 4 0 の X 2 - X 2 線に沿った概略的断面図



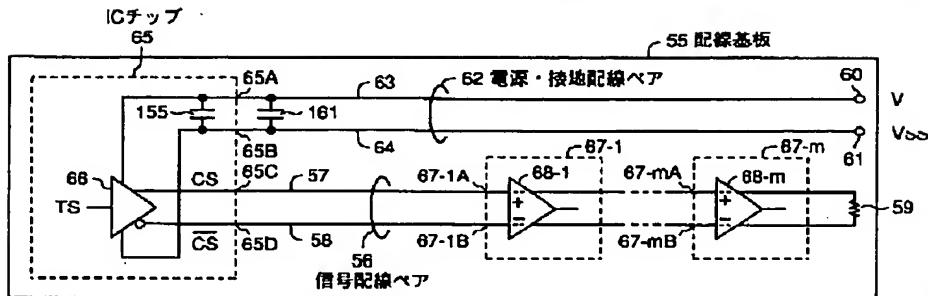
【 図 4 3 】

図 4 2 の X 3 - X 3 線に沿った概略的断面図



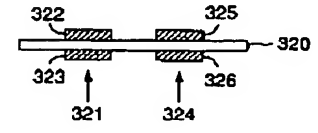
【 図 2 5 】

本発明の第 1 5 実施形態の概念図



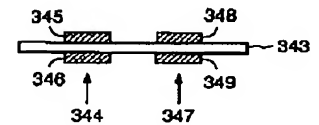
【 図 4 5 】

図 4 4 の X 4 - X 4 線に沿った概略的断面図



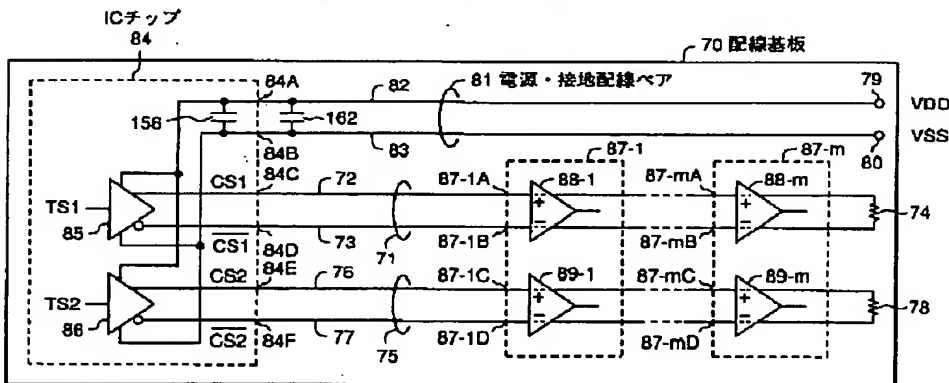
【 図 4 7 】

図 4 6 の X 5 - X 5 線に沿った概略的断面図



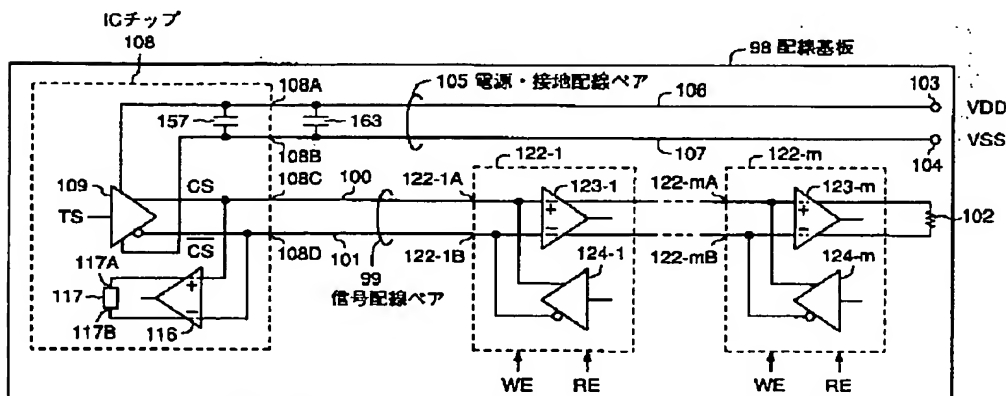
【 図 2 6 】

本発明の第 1 6 実施形態の概念図



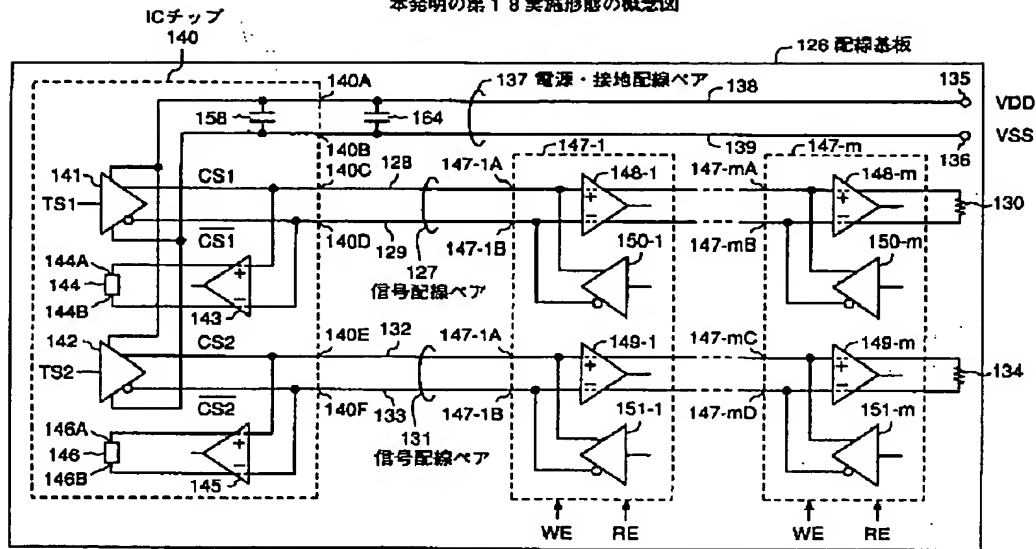
【 図 2 7 】

本発明の第 1 7 実施形態の概念図



【 図 2 8 】

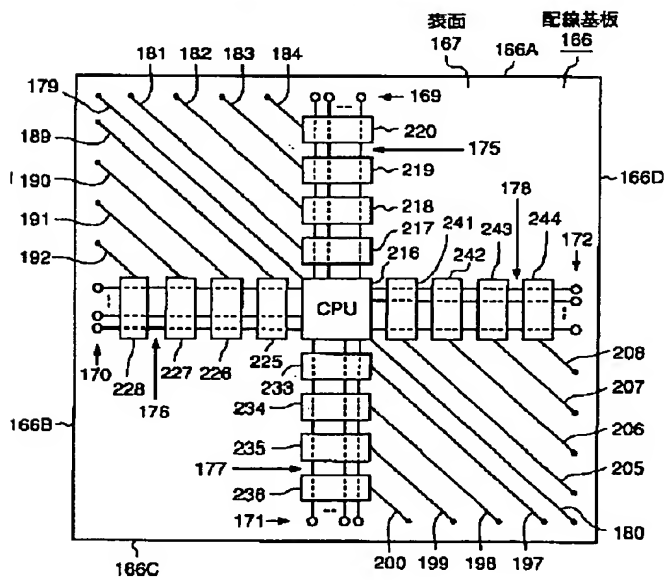
本発明の第 1 8 実施形態の概念図



【 図 2 9 】

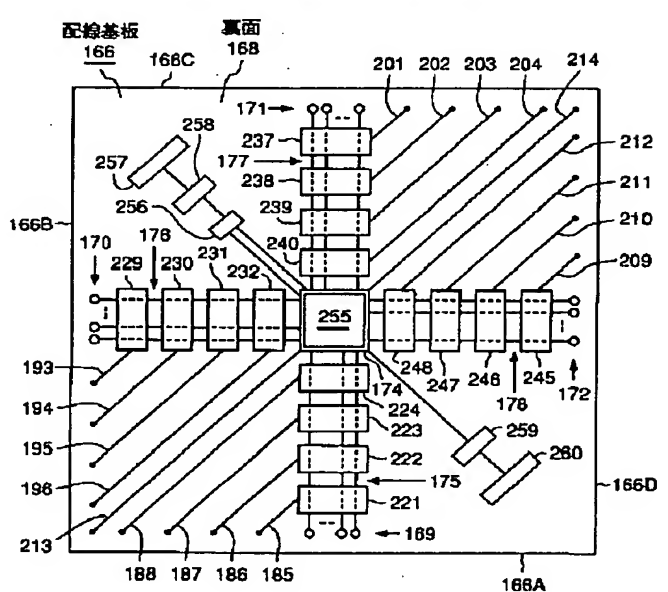
【 図 3 0 】

本発明の第 1 9 実施形態の概略的平面図

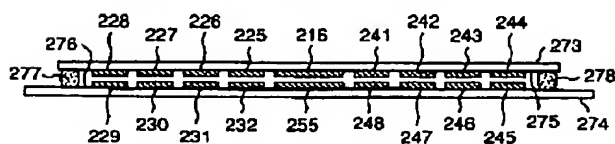


【 図 3 7 】

本発明の第 1 9 実施形態の概略的下面図

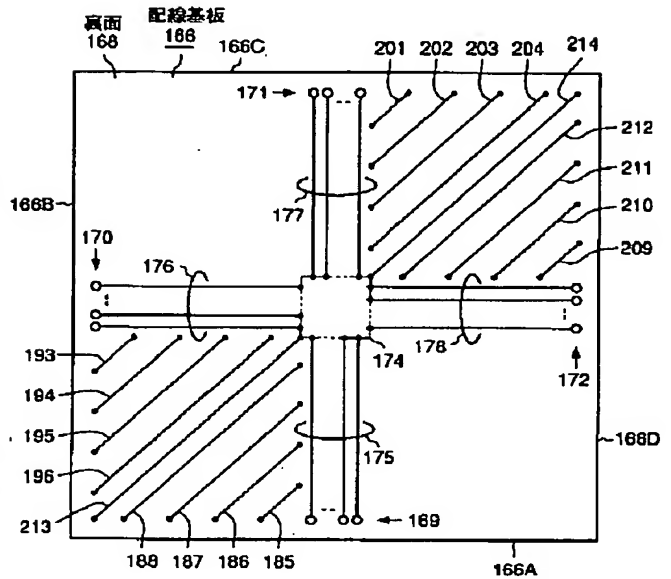


本発明の第 2 2 実施形態の概略的断面図



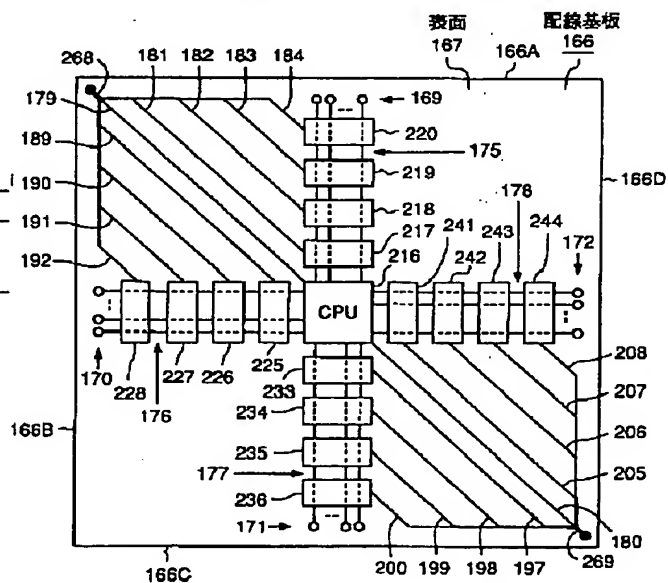
【 3 2 】

本発明の第 19 実施形態が備える配線基板に形成されている配線の一部を示す概略的下面図



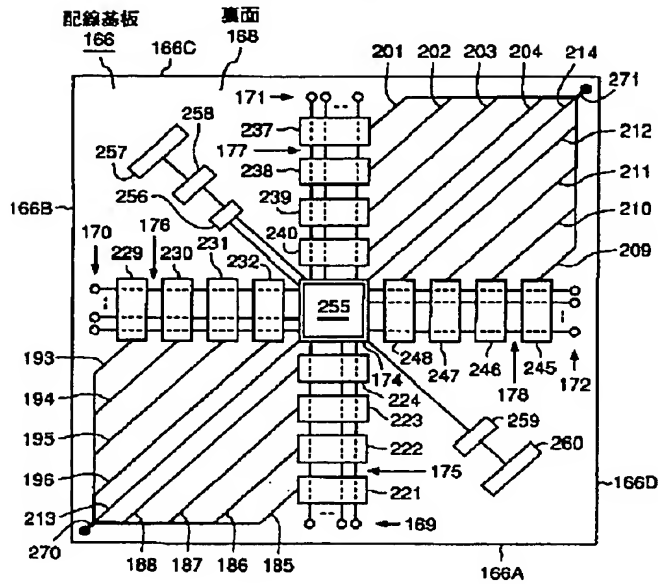
【圖 3 5】

本発明の第 2 1 実施形態の概略的平面図



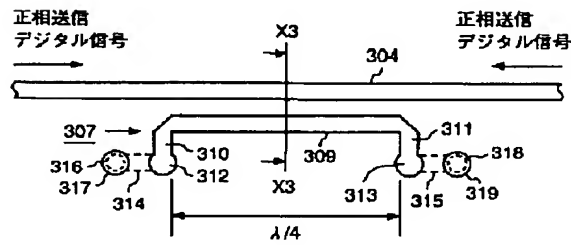
【 図 3 6 】

本発明の第 2 1 実施形態の概略的下面図



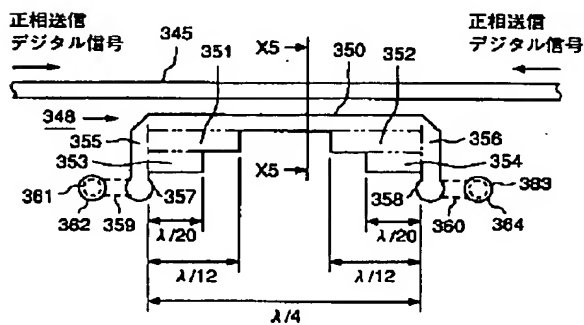
【 図 4 2 】

第 2 5 実施形態の要部を示す概略的平面図



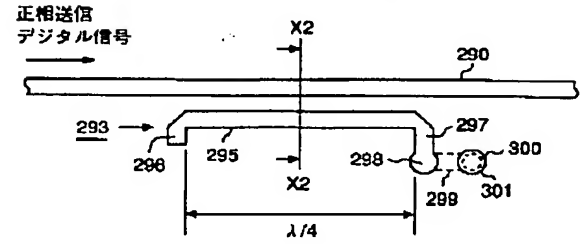
【 図 4 6 】

第 2 7 実施形態の要部を示す概略的平面図



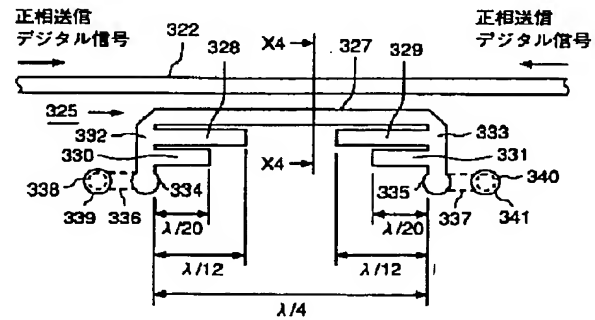
【 図 4 0 】

第 2 4 実施形態の要部を示す概略的平面図



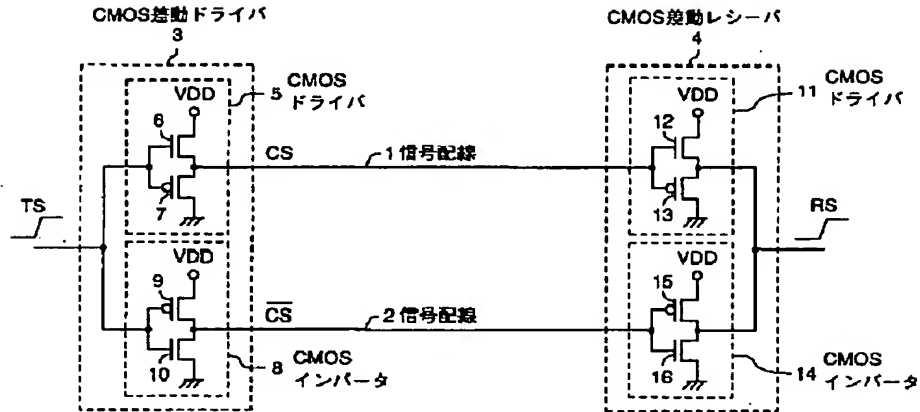
【 図 4 4 】

第 2 6 実施形態の要部を示す概略的平面図



【 図 4 8 】

従来の電子装置の一例を示す回路図



フロントページの続き

- (71)出願人 0 0 0 0 0 1 8 8 9
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
- (71)出願人 0 0 0 0 0 5 0 4 9
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
- (71)出願人 0 0 0 0 0 2 1 8 5
ソニー株式会社
東京都品川区北品川6丁目7番3号
- (71)出願人 0 0 0 0 0 3 0 7 8
株式会社東芝
神奈川県川崎市幸区堀川町7番地
- (71)出願人 0 0 0 0 0 4 2 3 7
日本電気株式会社
東京都港区芝五丁目7番1号
- (71)出願人 0 0 0 0 0 5 1 0 8
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
- (71)出願人 0 0 0 0 0 5 8 4 3
松下電子工業株式会社
大阪府高槻市幸町1番1号
- (71)出願人 0 0 0 0 0 6 0 1 3
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号